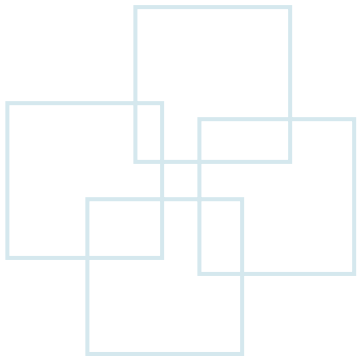


Class 2

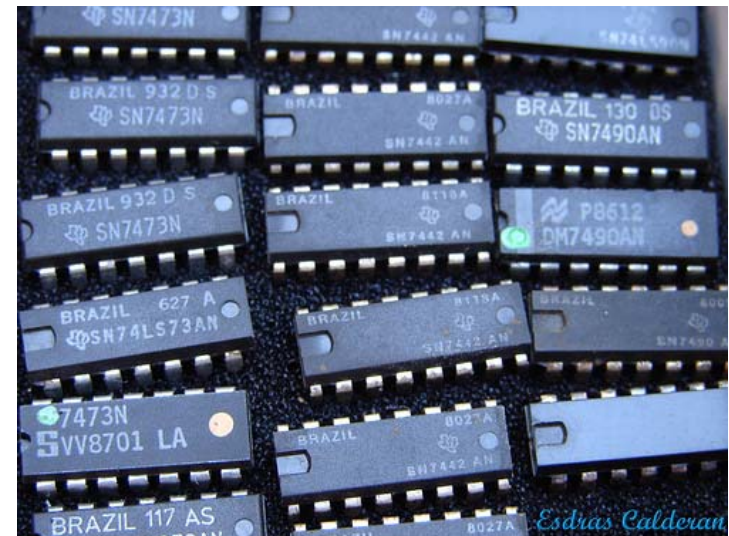
數位IC的認識與 邏輯狀態的測試





數位 IC (Integrated Circuit)

- 常用數位 IC 依製造技術不同可分為 TTL 及 CMOS
 - TTL (Transistor-Transistor Logic) 電晶體-電晶體邏輯族
 - 元件流耗功率較 CMOS 大，54xx 系列為軍用、74xx 系列為工業用。
 - 以標準型 (74xx) 及低功率蕭特基型 (74LSxx) 的 TTL 較為常用。
 - CMOS (Complementary Metal-Oxide Semiconductor) 互補式金屬氧化膜半導體
 - IC 編號以 40xx 為代表，Motorola 所生產的 45 系列亦是有名。
 - 封裝密度較高，消耗功率較 TTL 低。
 - 輸出電流較小。





TTL 邏輯族

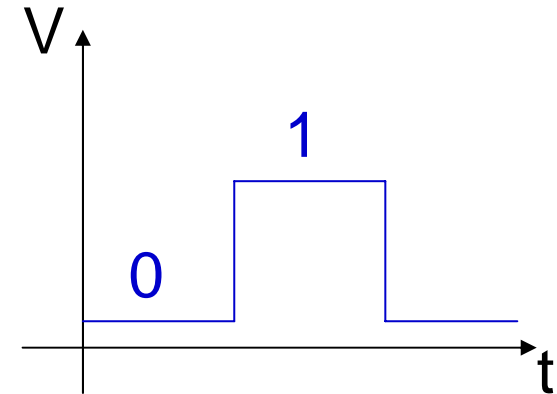
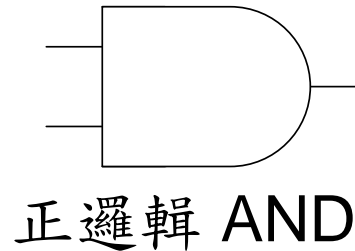
分類	編號	舉例
標準型	54 or 74	7486
高速型	54H or 74H	74H86
低功率型	54L or 74L	74L86
蕭特基型	54S or 74S	74S86
低功率蕭特基型	54LS or 74LS	74LS86
改良式蕭特基型	54AS or 74AS	74AS86
改良式低功率蕭特基型	54ALS or 74ALS	74ALS86



邏輯系統 (Logic System)

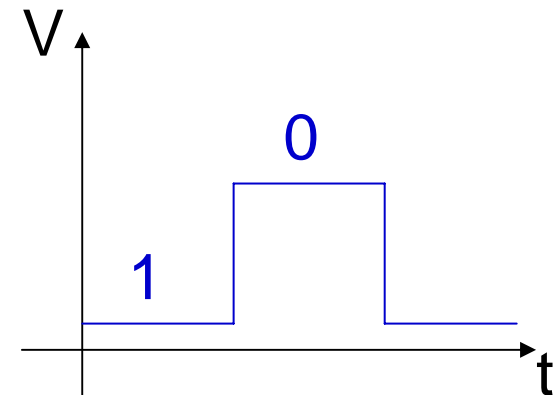
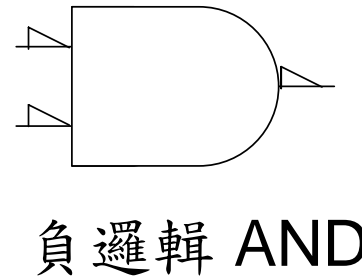
- 正邏輯系統 (Positive logic)

1 → Hi (高電位)
0 → Lo (低電位)



- 負邏輯系統 (Negative logic)

1 → Lo (低電位)
0 → Hi (高電位)



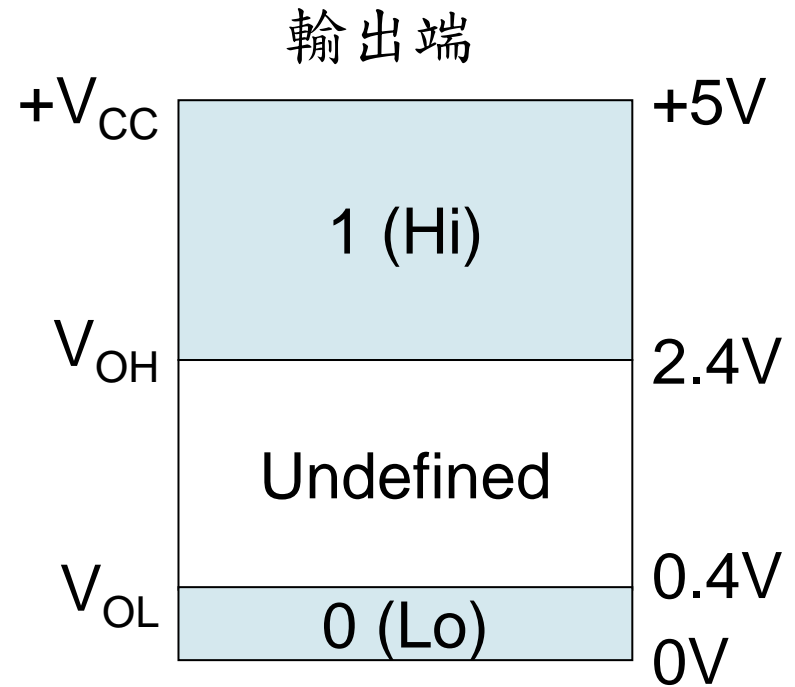
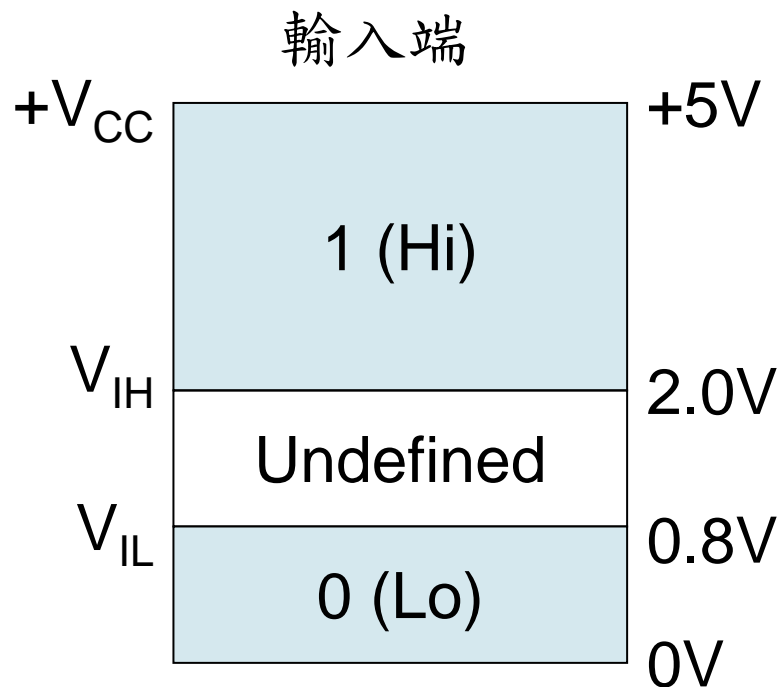


邏輯準位符號說明

符號	說明
V_{CC}	使 TTL IC 能正常工作時，所需外加的電源電壓
V_{DD}	使 CMOS IC 能正常工作時，所需外加的電源電壓
V_{IL}	使輸入端為邏輯 Lo 時，所需外加的 最大輸入電壓
V_{IH}	使輸入端為邏輯 Hi 時，所需外加的 最小輸入電壓
V_{OL}	當輸出端為邏輯 Lo 時，輸出端所輸出的 最大輸出電壓
V_{OH}	當輸出端為邏輯 Hi 時，輸出端所輸出的 最小輸出電壓
I_{IL}	使輸入端為邏輯 Lo 時，輸入端所 流出的電流
I_{IH}	使輸入端為邏輯 Hi 時，輸入端所 流入的電流
I_{OL}	當輸出端為邏輯 Lo 時，輸出端 容許流進的電流
I_{OH}	當輸出端為邏輯 Hi 時，輸出端 所流出的電流

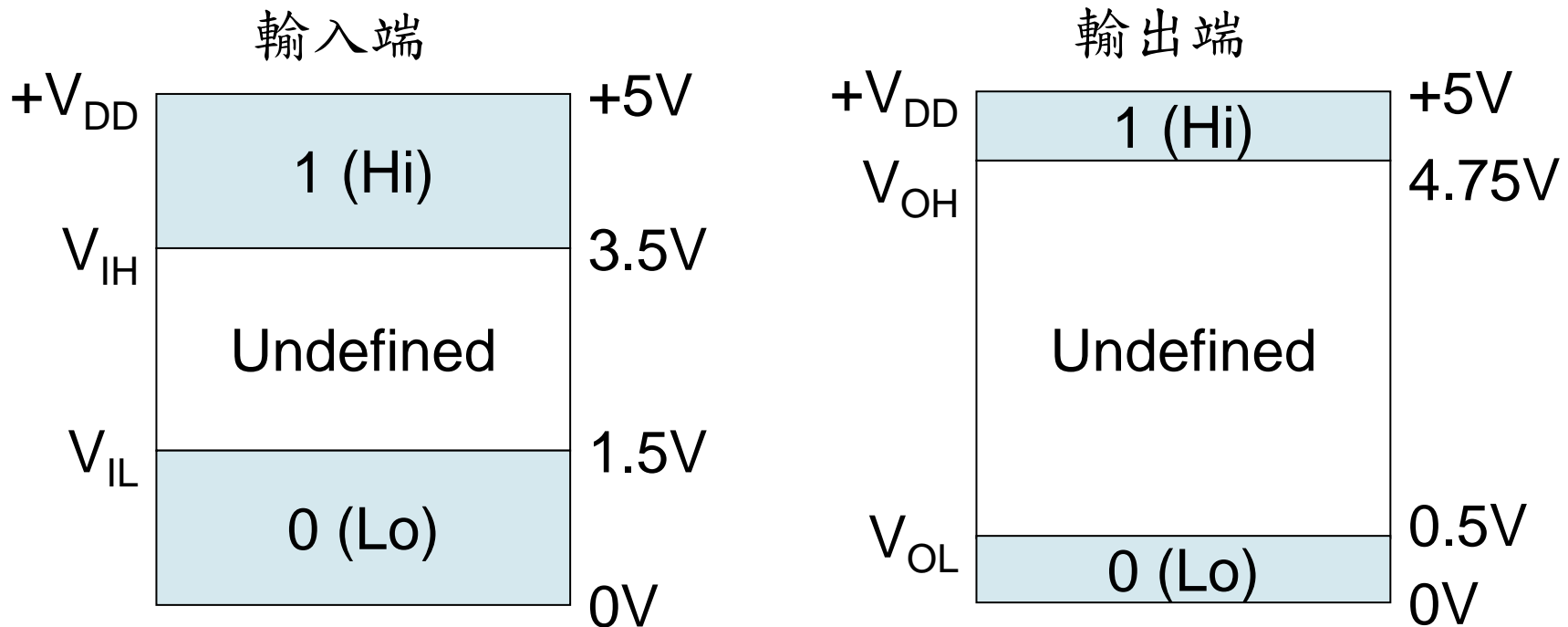


TTL IC 輸出入電壓表 (工作電壓: +5V)





CMOS IC 輸出入電壓表 (工作電壓: +3~18V)



以 $V_{DD} = +5V$ 為例



TTL / CMOS IC 電壓準位比較表

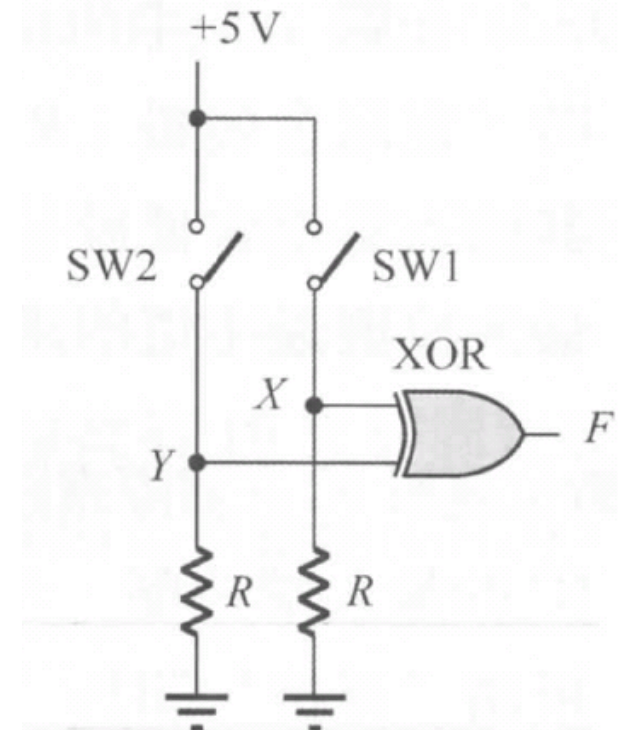
邏輯族類別		TTL	CMOS
工作電壓		$V_{CC} = +5V$	$V_{DD} = 3\sim 18V$
輸入	邏輯 Hi	2.0 V 以上	$0.7 V_{DD}$ 以上
	Undefined	0.8 – 2.0 V	$0.3 V_{DD} - 0.7 V_{DD}$
	邏輯 Lo	0 – 0.8 V	$0 V_{DD} - 0.3 V_{DD}$
輸出	邏輯 Hi	2.4 V 以上	$0.95 V_{DD}$ 以上
	Undefined	0.4 – 2.4 V	$0.1 V_{DD} - 0.95 V_{DD}$
	邏輯 Lo	0 – 0.4 V	$0 V_{DD} - 0.1 V_{DD}$



邏輯狀態輸入電路的接線 (接法一)

- IC 的輸入接腳絕不可 floating，floating 時若不考慮雜訊則視為 Hi，但懸空的接腳如突出的天線，會吸收雜訊而使電路造成誤動作。
- 電阻 R 太小會燒毀，太大則在輸入需要邏輯Lo時，其輸入電壓高於邏輯Lo所需的 V_{IL} 。

SW	接點狀態	X, Y 點邏輯狀態
ON		Hi
OFF		Lo

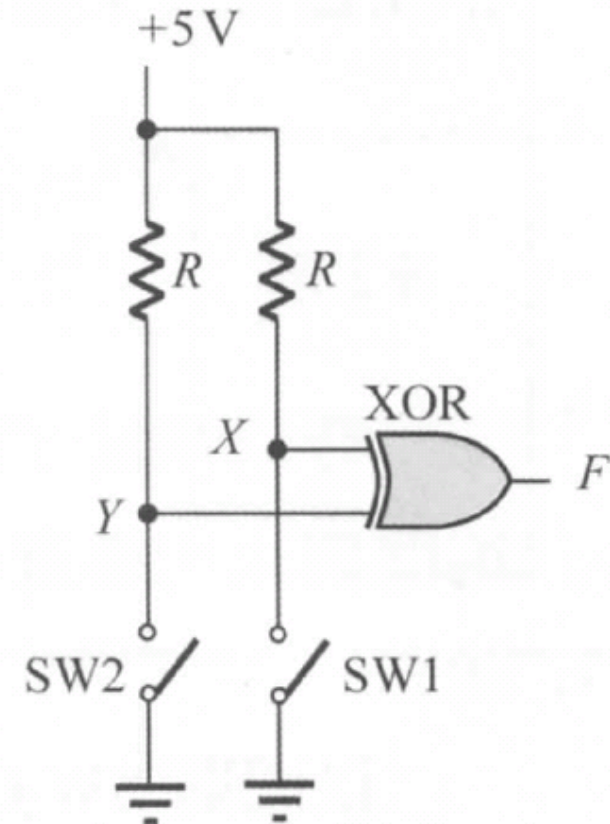




邏輯狀態輸入電路的接線 (接法二)

- 電阻 R 太小會燒毀，太大則在輸入需要邏輯Hi時，其輸入電壓低於邏輯Hi所需的 V_{IH} 。

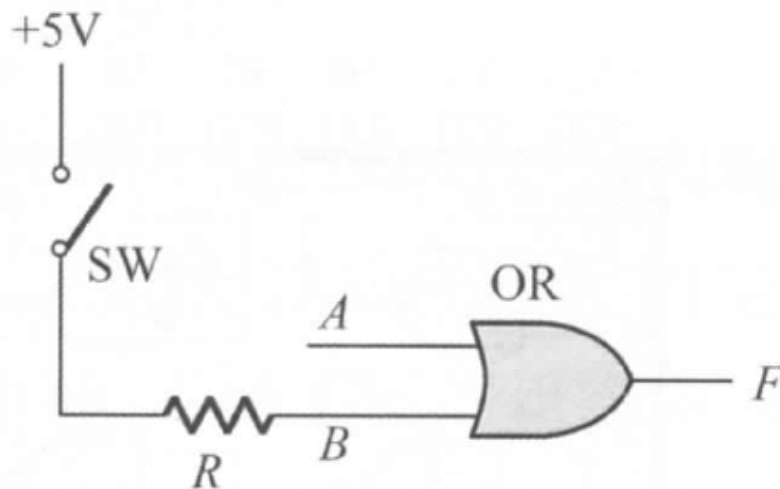
SW	接點狀態	X, Y 點邏輯狀態
ON		Lo
OFF		Hi



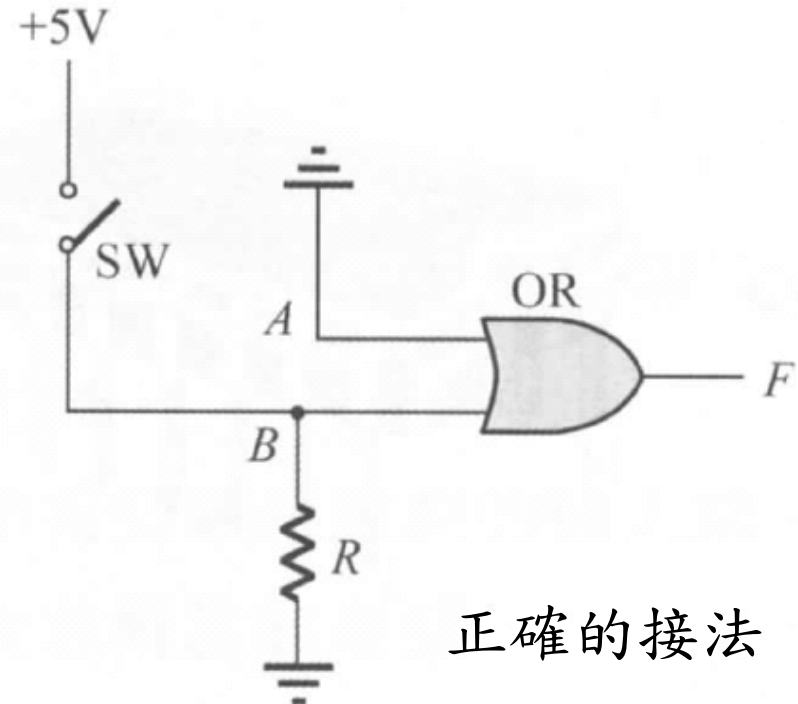


邏輯狀態輸入電路的接線 (Cont.)

- 一般沒有用到的入端接腳會固定High或單定Low，以不影響電路輸出為原則。



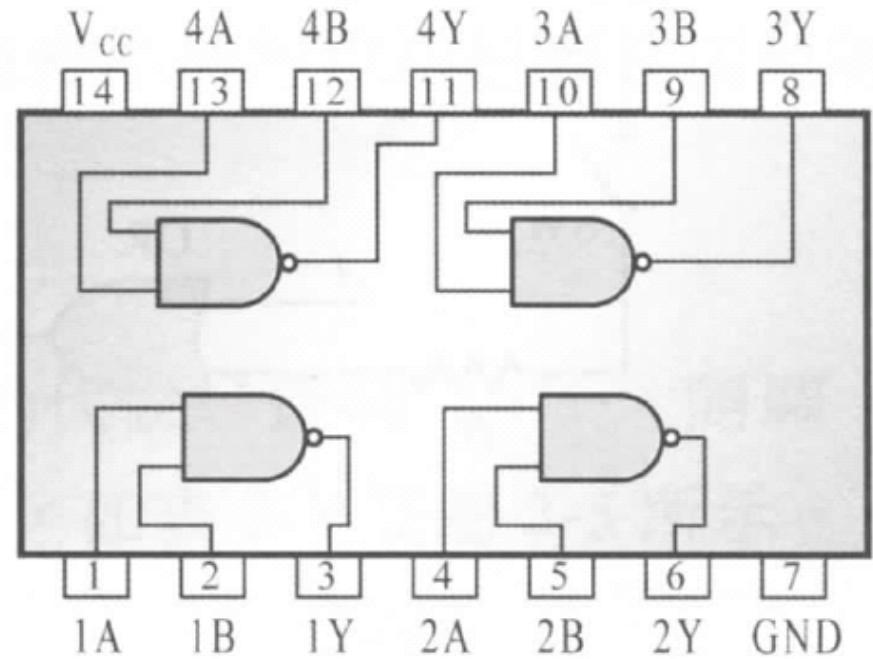
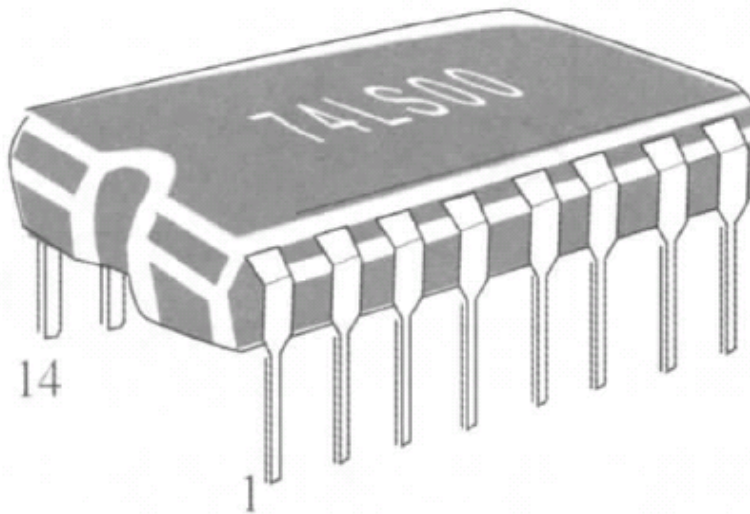
錯誤的接法



正確的接法

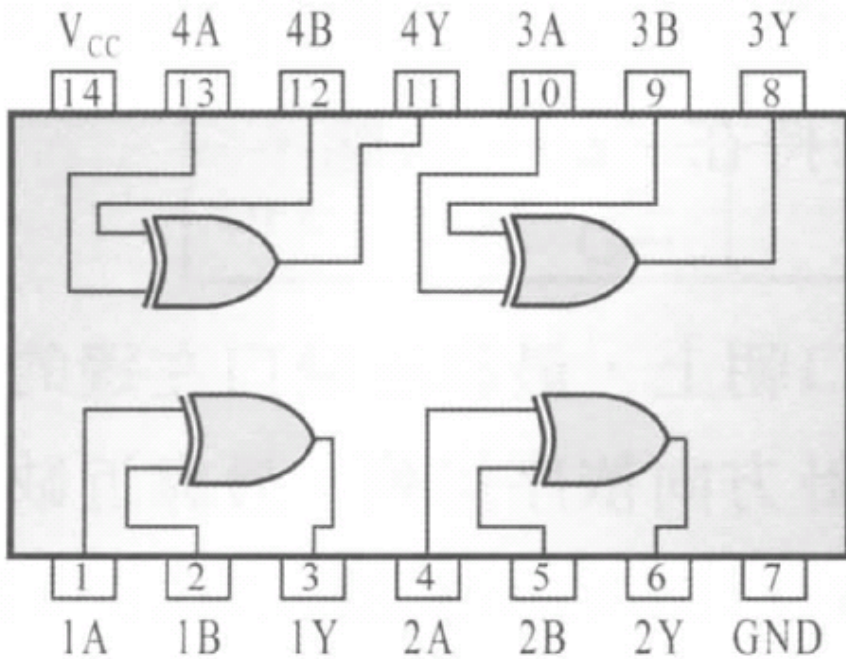


數位 IC 腳位判讀

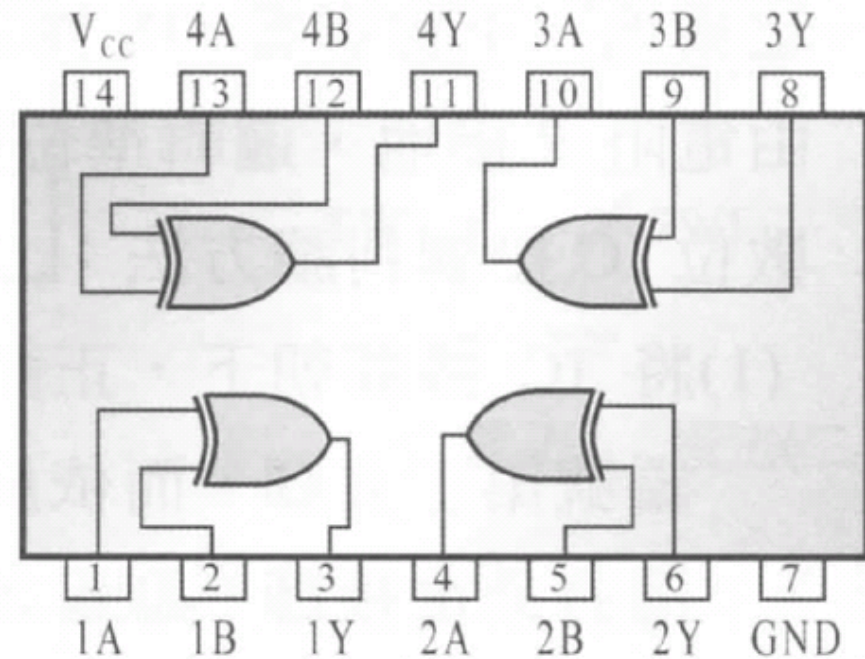




TTL 74LS86 及 CMOS 4030 內部接腳圖



TTL 74LS86

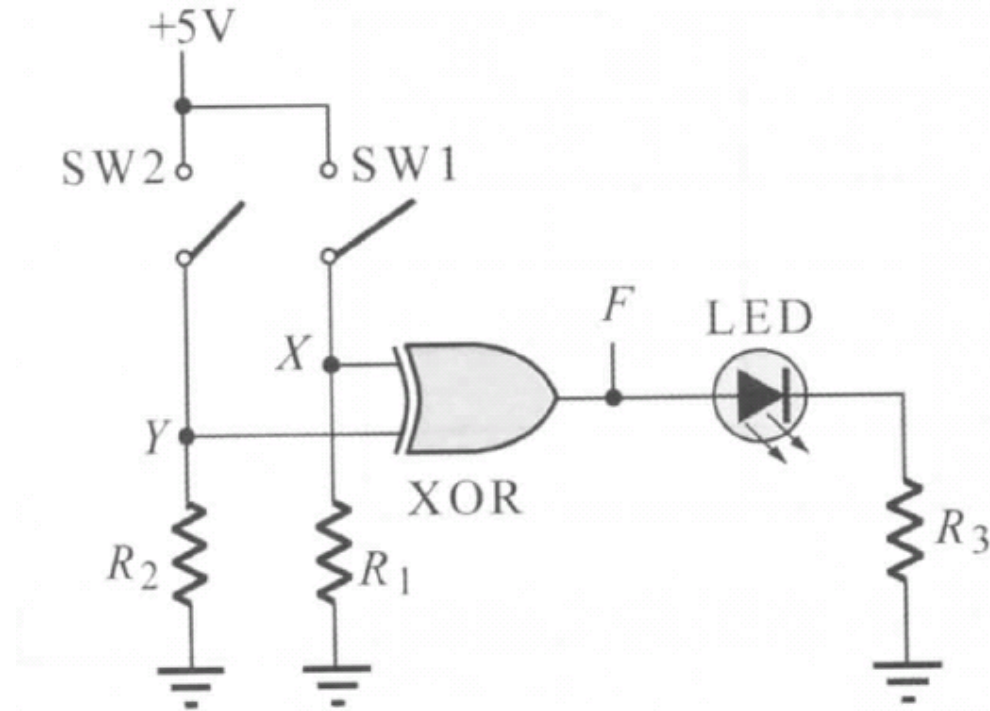


CMOS 4030



接地電阻求法 (接法一)

- 如右圖 XOR Gate 輸入接法，若該 IC 的 $V_{IL} = 0.8V$ ， $I_{IL} = 0.4mA$ ，且電阻 R_1 及 R_2 皆是 $1/4W$ 的碳膜電阻，則 R_1 及 R_2 的最大值與最小值？





接地電阻求法 (接法一) (Cont.)

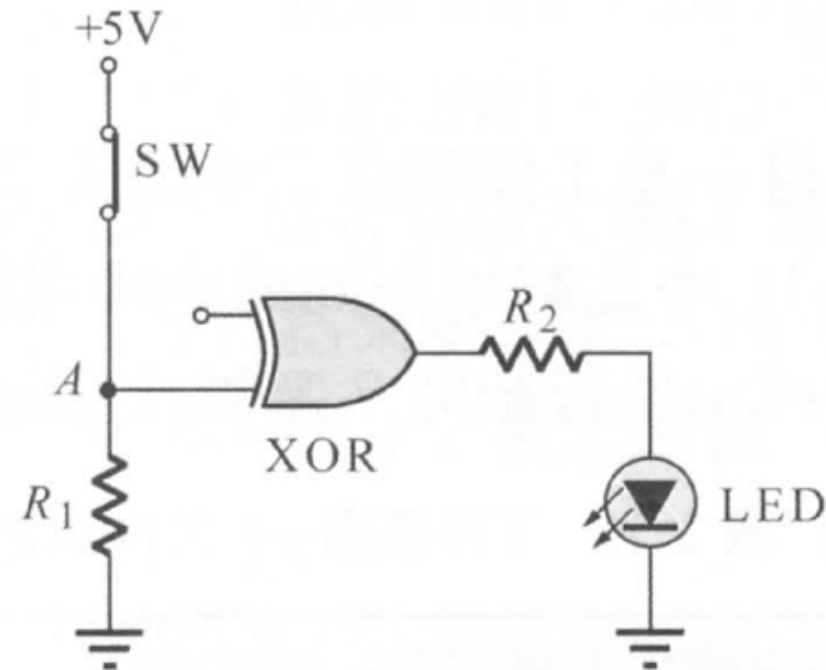
• 最小值求法:

- 當 SW ON 時，A 點為 Hi，此時 R1 所接的電阻不可太小以免燒掉。

$$P_{R1} \geq \frac{V_A^2}{R_{\min}} \Rightarrow R_{\min} \geq \frac{V_A^2}{P_{R1}}$$

$$R_{\min} \geq \frac{5^2}{\frac{1}{4}} = 100(\Omega)$$

IC: $V_{IL} = 0.8V$, $I_{IL} = 0.4mA$
R1 電阻: $\frac{1}{4} W$





接地電阻求法 (接法一) (Cont.)

• 最大值求法:

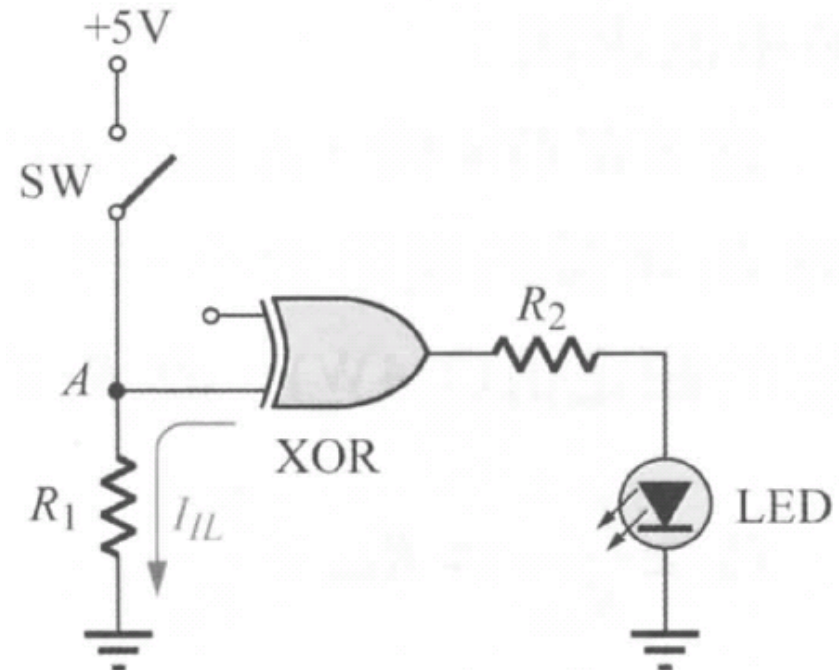
- 當 SW OFF 時，A 點為 Lo，此時 R1 所接的電阻應以不使 A 點電壓上升超過邏輯 Lo 為原則。

$$I_{IL} \cdot R_{\max} \leq V_A = V_{IL}$$

$$R_{\max} \leq \frac{V_{IL}}{I_{IL}}$$

$$R_{\max} \leq \frac{0.8}{0.4 \times 10^{-3}} = 2k(\Omega)$$

IC: $V_{IL} = 0.8V$, $I_{IL} = 0.4mA$
R1 電阻: $\frac{1}{4} W$

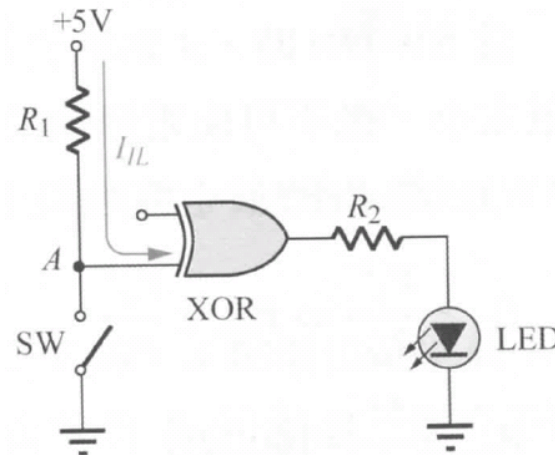
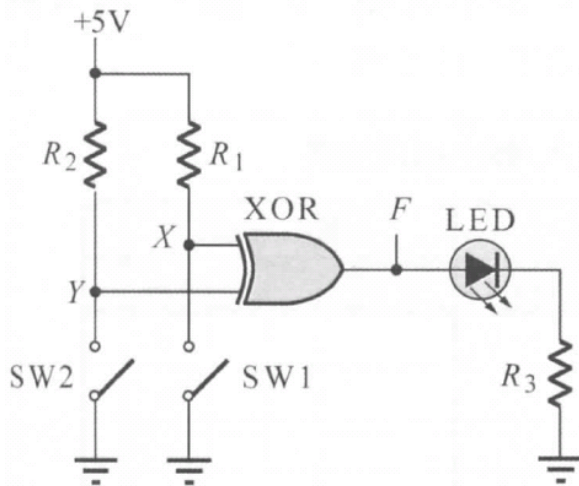




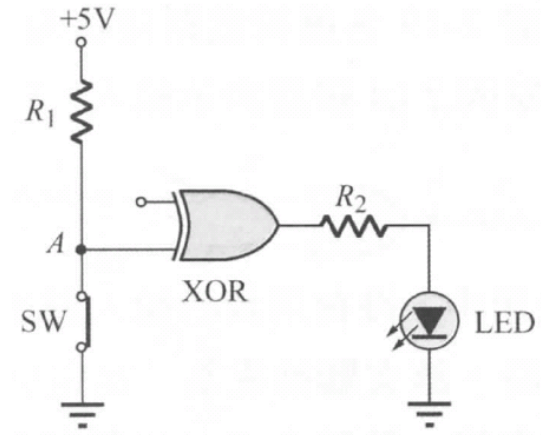
Lab 2

• Part 1:

- 如左下圖 XOR Gate 輸入接法，若該 IC 的 $V_{IH} = 2V$ ， $I_{IH} = 20\mu A$ ，且電阻 R_1 及 R_2 皆是 $1/4W$ 的碳膜電阻，則 R_1 及 R_2 的最大值與最小值？



最大值求法



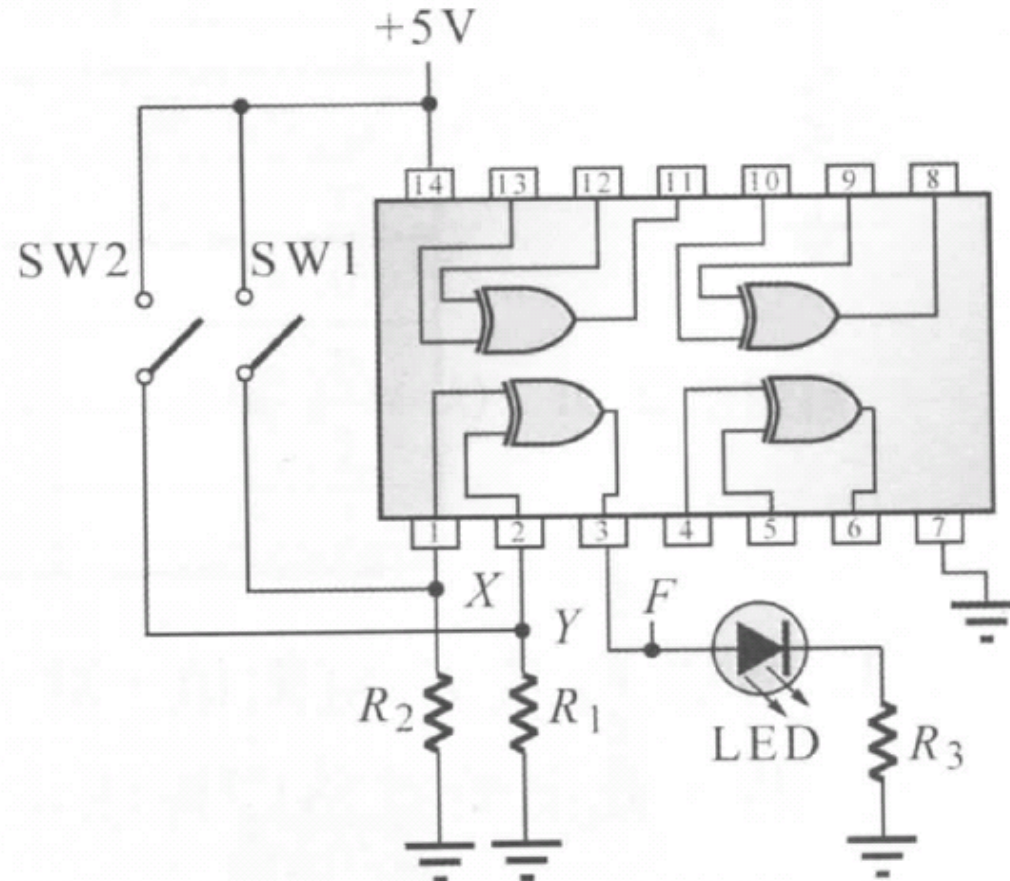
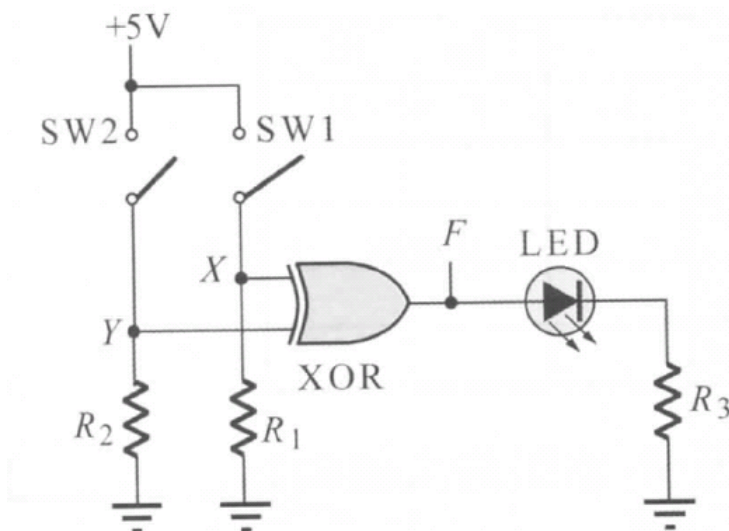
最小值求法



Lab 2 (Cont.)

• Part 2:

- $R_1 = R_2 = 1k\Omega$
- $R_3 = 200\Omega$
- 請使用 TTL 74LX86 及 CMOS 4030 實作下圖





Report 2

- 一頁報告 (填寫組員姓名、學號) – 格式不限
 - 解答 Part 1 的問題
 - 分別使用 TTL 74LX86 及 CMOS 4030 實作 Part 2 電路並分別填好下表 (X及Y為輸入端， V_X 及 V_Y 為輸入端電壓。F為輸出端， V_F 為輸出端電壓。)

輸入				輸出	
X	V_X	Y	V_Y	F	V_F
0		0			
0		1			
1		0			
1		1			

- 在使用CMOS 4030 時，增加R3電阻值有什麼發現？為什麼？(Hint: CMOS 4030 最大的 I_{OH} 電流為 10 mA。)
- 心得