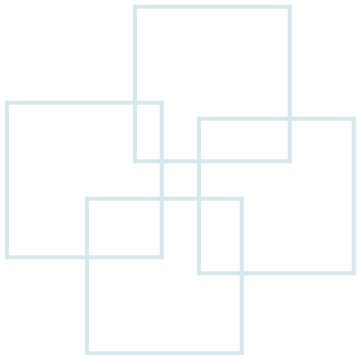


Class 3

Basic Logic Gates

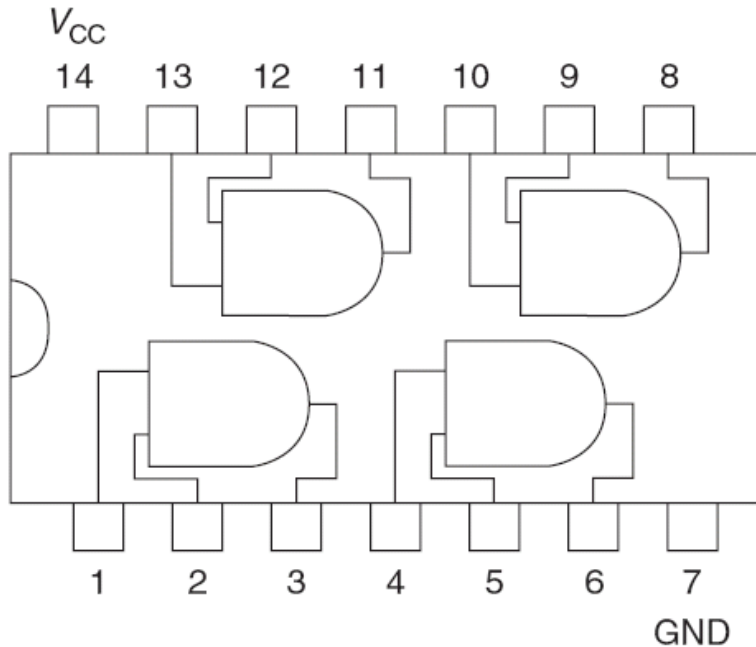
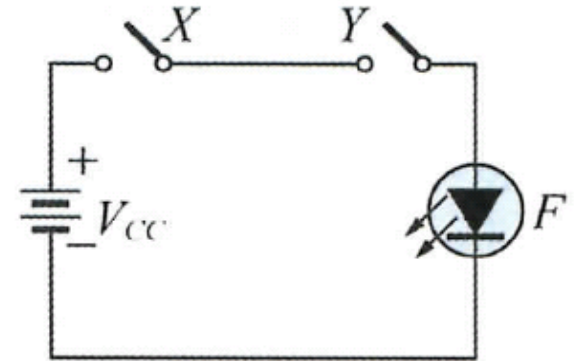




AND Gate



Distinctive shape



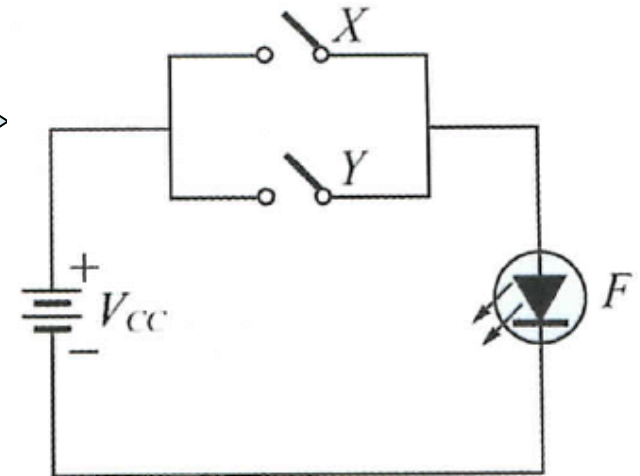
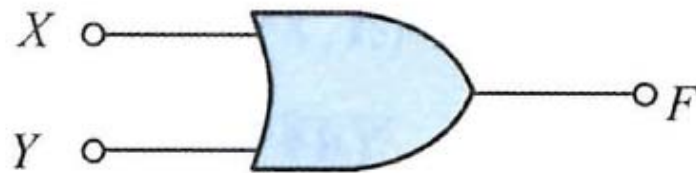
74LS08 / 74HC08

X	Y	F
0	0	0
0	1	0
1	0	0
1	1	1

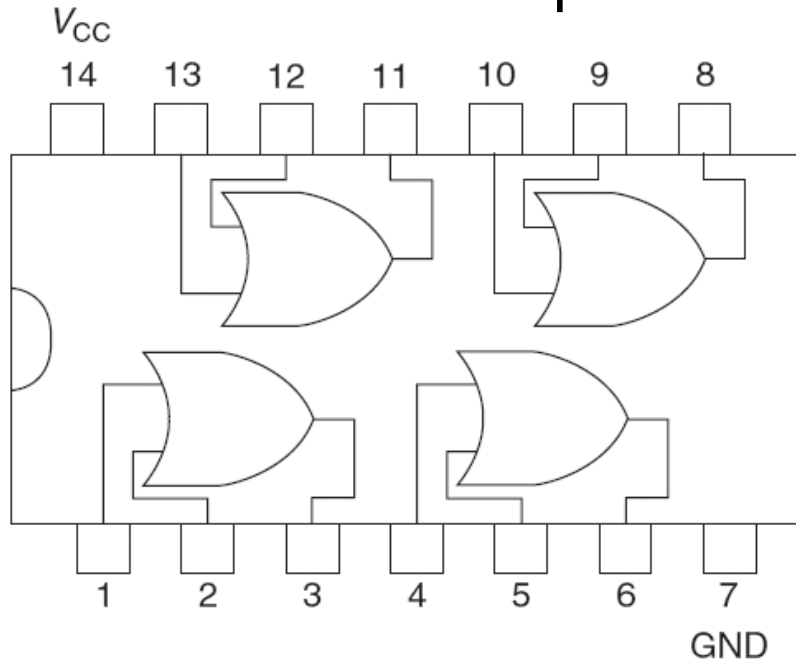
Truth table



OR Gate



Distinctive shape



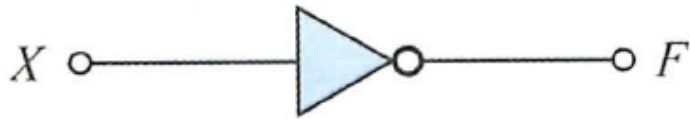
X	Y	F
0	0	0
0	1	1
1	0	1
1	1	1

Truth table

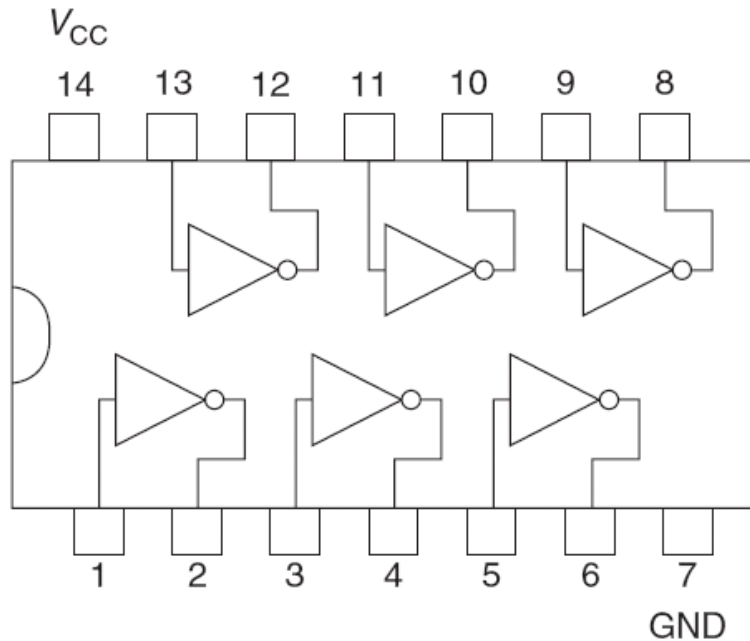
74LS32 / 74HC32



NOT Gate



Distinctive shape



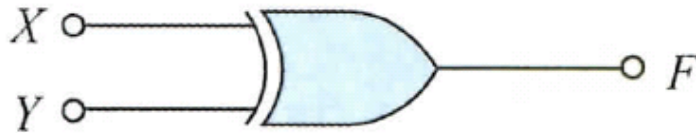
X	F
0	1
1	0

Truth table

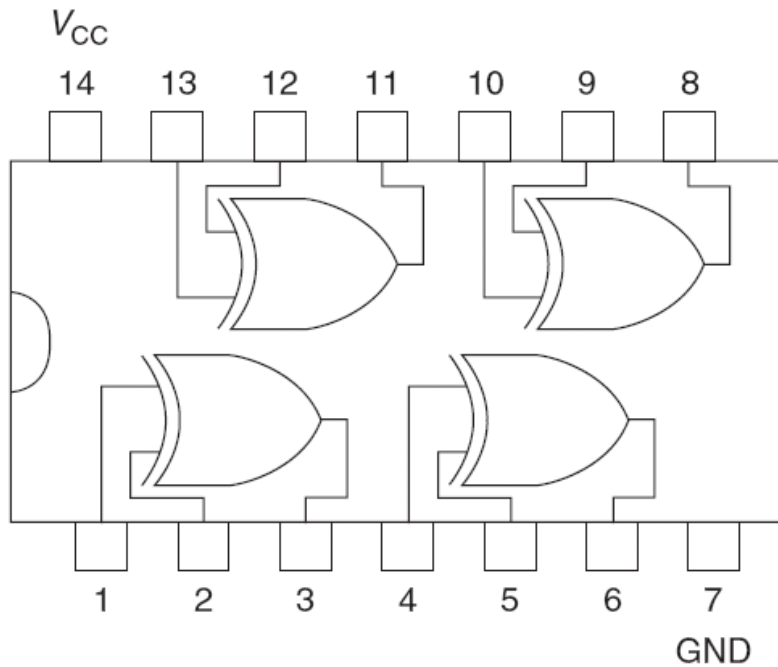
74LS04 / 74HC04



XOR Gate



Distinctive shape



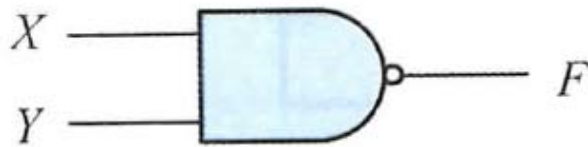
74LS86 / 74HC86

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	0

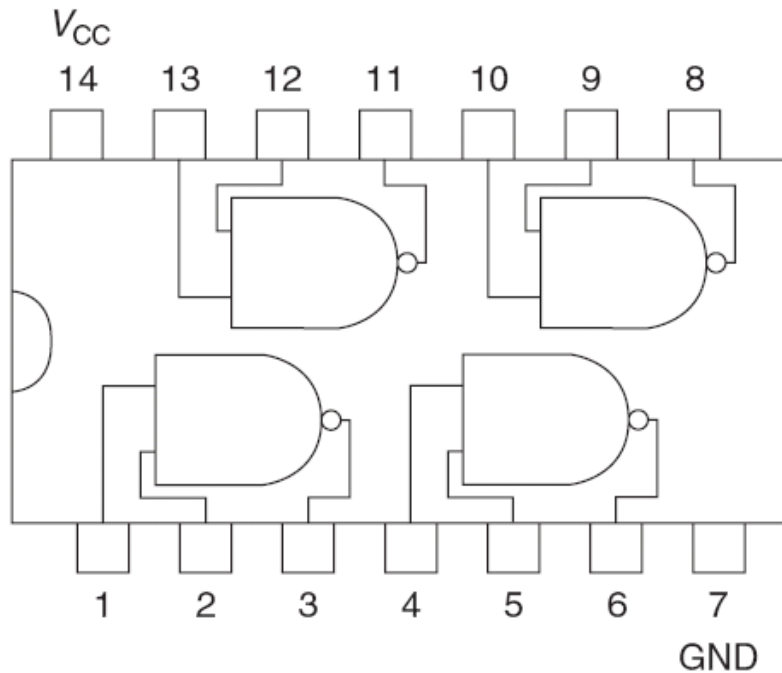
Truth table



NAND Gate



Distinctive shape



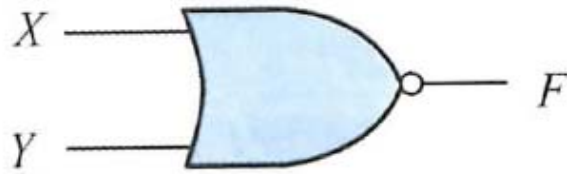
X	Y	F
0	0	1
0	1	1
1	0	1
1	1	0

Truth table

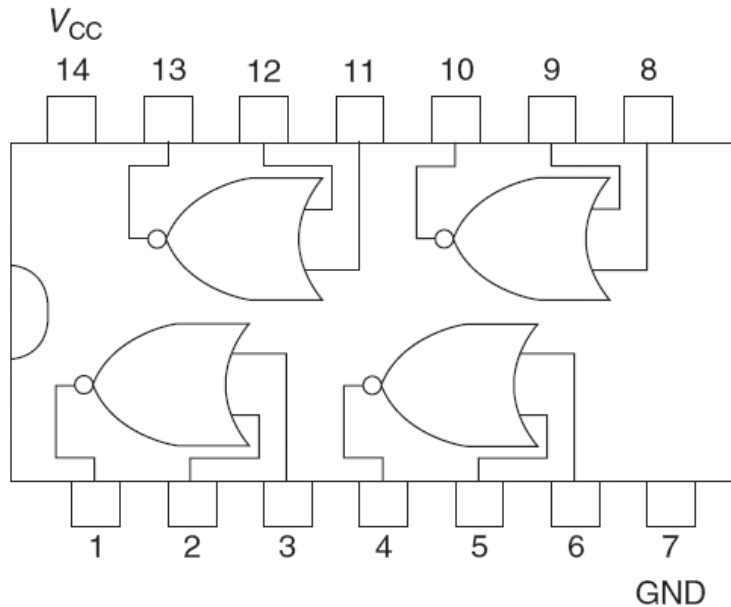
74LS00 / 74HC00



NOR Gate



Distinctive shape



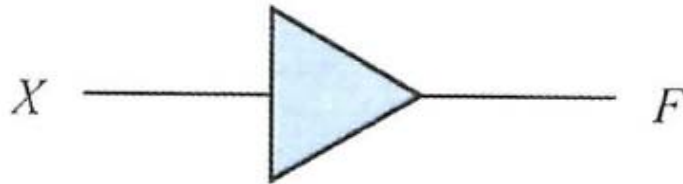
74LS02 / 74HC02

X	Y	F
0	0	1
0	1	0
1	0	0
1	1	0

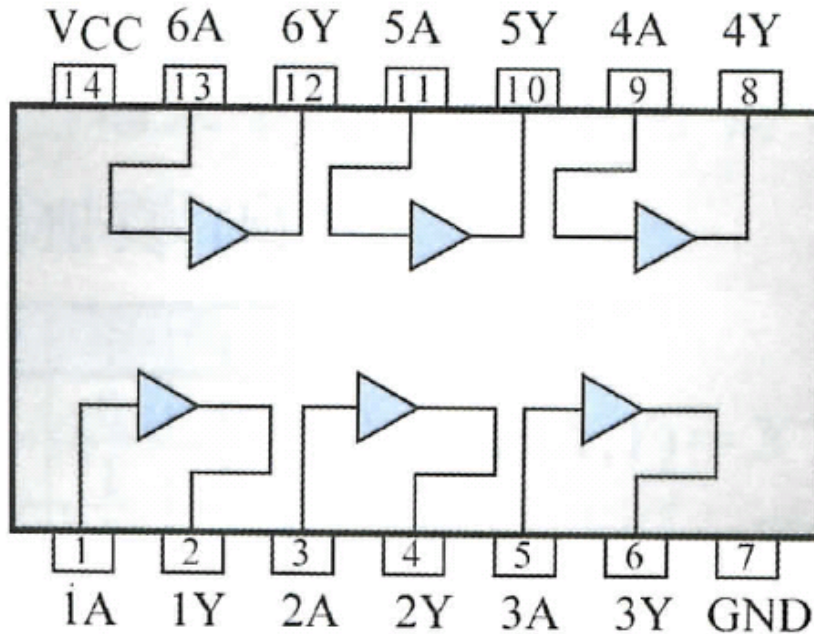
Truth table



Buffer



Distinctive shape



74LS07 / 74HC07 (OC)

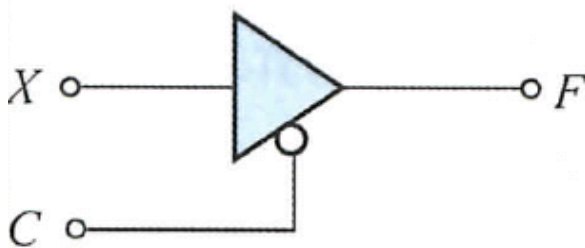
X	F
0	0
1	1

Truth table



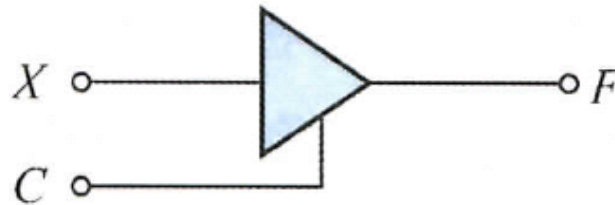
Tristate Buffer

When C is floating, the status of C is HIGH.



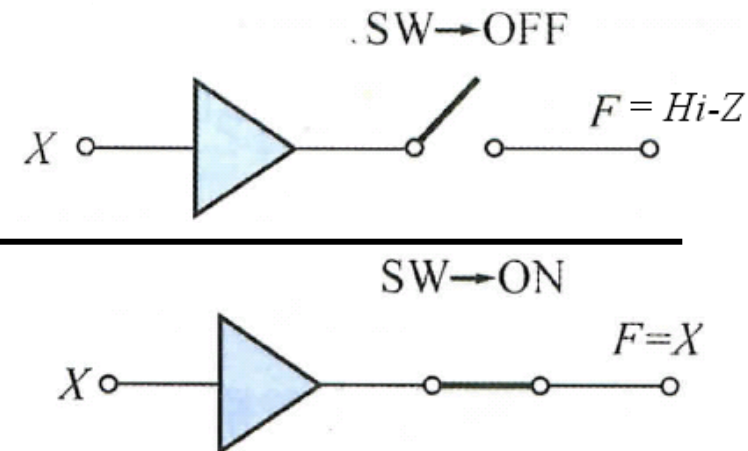
C	X	F
0	0	0
0	1	1
1	0	Hi-Z
1	1	Hi-Z

74LS125



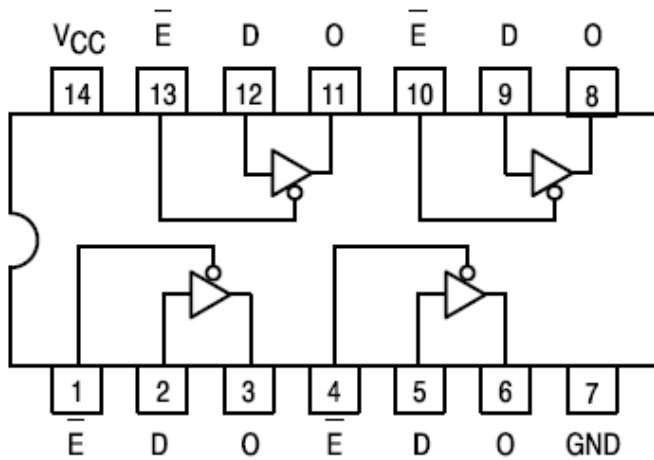
C	X	F
0	0	Hi-Z
0	1	Hi-Z
1	0	0
1	1	1

74LS126

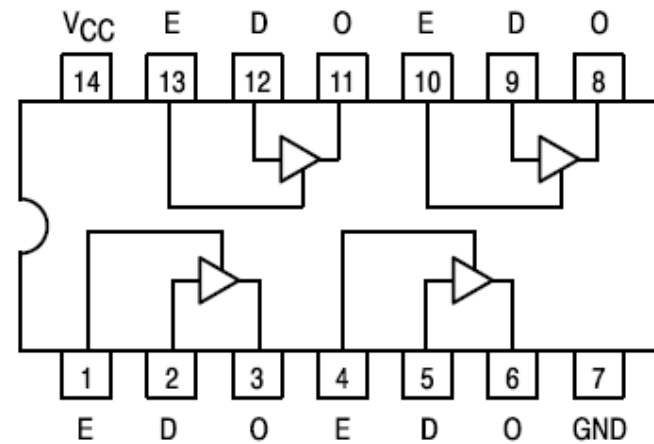




Tristate Buffer (Cont.)



74LS125



74LS126



Open-Collector (OC) Output Gates

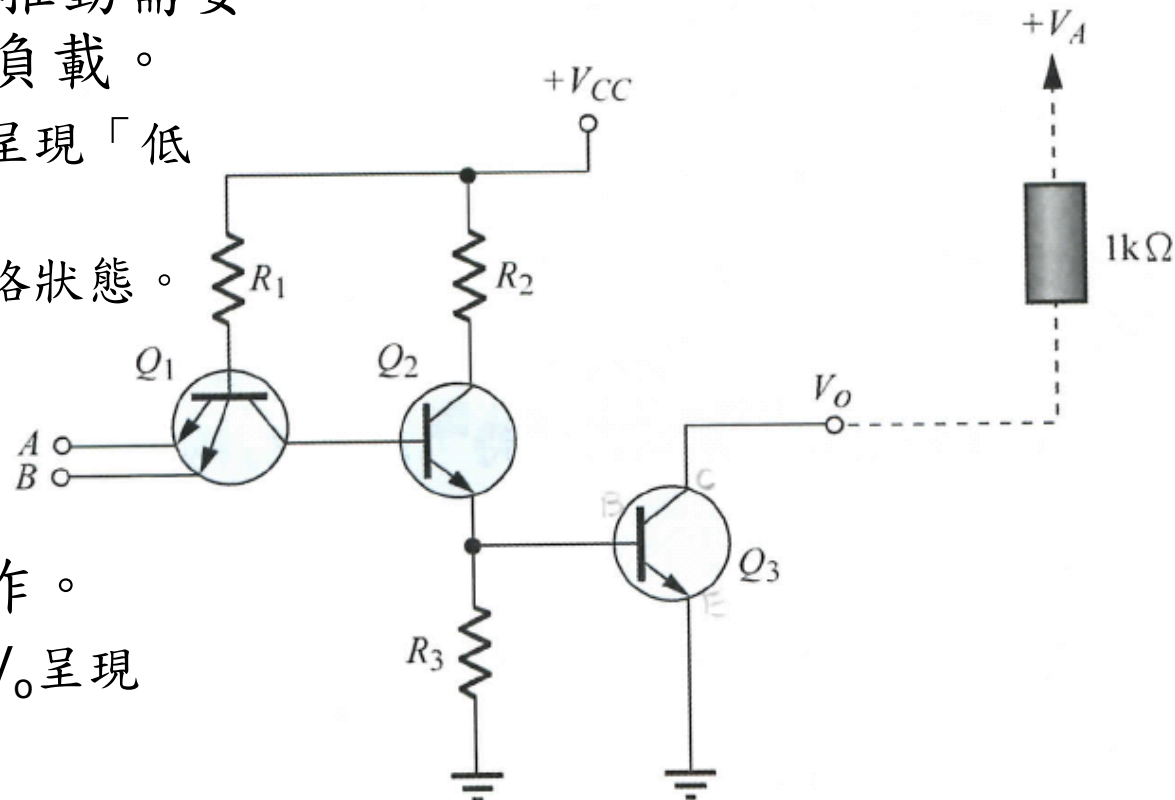
• Open Collector (開集極)

— V_A 可高達 30V，以推動需要高電壓或大電流的負載。

- Q3 導通時會使輸出呈現「低電壓準位」。
- Q3 截止時會呈現開路狀態。

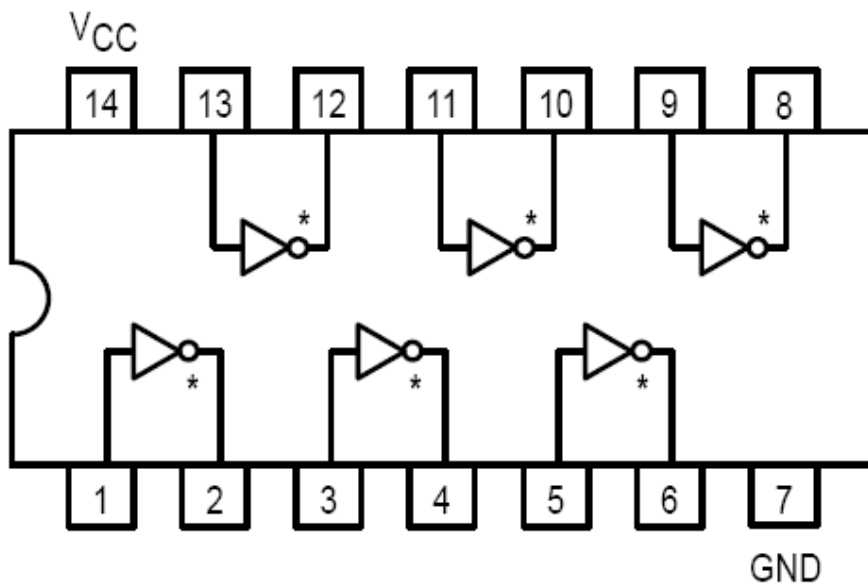
— 因此輸出端 V_O 需要加一個 pull-up 電阻，並連接電壓源 (V_A) 才能動作。

- 使得當 Q3 截止時， V_O 呈現「高電壓準位」。

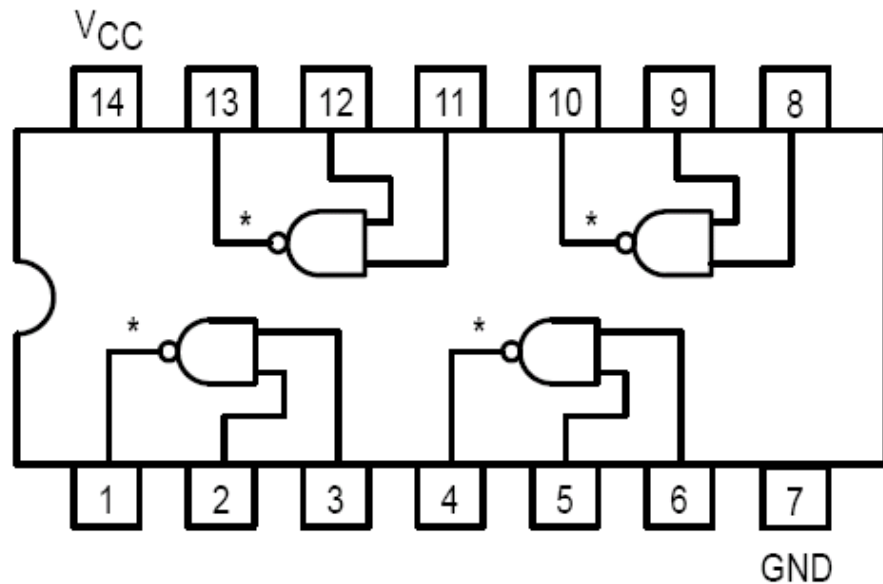




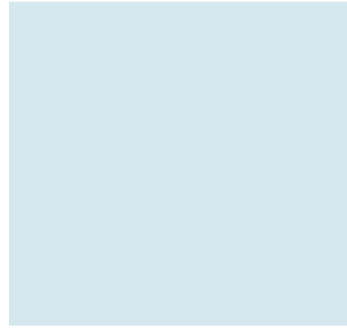
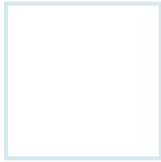
NOT (OC) and NAND (OC)



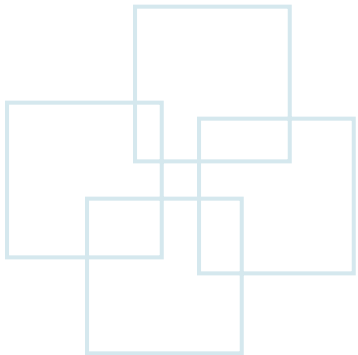
74LS05 (OC)



74LS01 (OC)



Interface Circuit Between TTL and CMOS IC





Noise Margin (雜訊邊限)

• Noise margin 係指邏輯電路的輸出邊際電壓與輸入邊際電壓之間的差值，也就是邏輯電路所能忍受的電壓變動量。

— 邏輯Hi的Noise margin (V_{NH}) = $V_{OH} - V_{IH}$

— 邏輯Lo的Noise margin (V_{NL}) = $V_{IH} - V_{OH}$

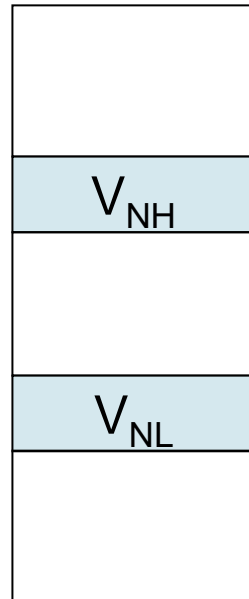
TTL

$$V_{OH} = 2.4V$$

$$V_{IH} = 2.0V$$

$$V_{IL} = 0.8V$$

$$V_{OL} = 0.4V$$



CMOS

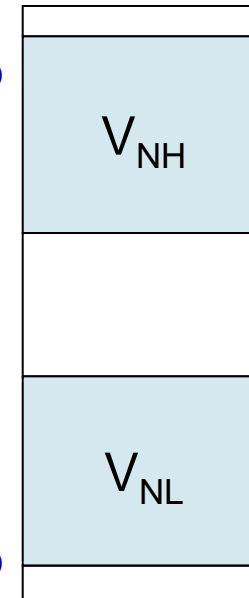
$$V_{OH} = 0.95V_{DD}$$

$$V_{IH} = 0.7V_{DD}$$

$$V_{IL} = 0.3V_{DD}$$

$$V_{OL} = 0.1V_{DD}$$

CMOS





Fanout (扇出量)

- Fanout 係指一個邏輯電路的輸出端所能推動負載的能力，亦即一個輸出端能夠驅動幾個輸入端。

— Fanout at logic Hi:

$$Fanout = \frac{I_{OH(max)}}{I_{IH(max)}}$$

— Fanout at logic Low:

$$Fanout = \frac{I_{OL(max)}}{I_{IL(max)}}$$

- 從 logic Hi 與 logic Low 中，取出 fanout 量較小者。



Fanout (扇出量) (Cont.)

• 若有一 IC 的 $I_{OH} = -0.4\text{mA}$ 、 $I_{OL} = 8\text{mA}$ ，而 $I_{IH} = 40\text{uA}$ 、 $I_{IL} = -1.6\text{mA}$ ，若以此 IC 去推動同型 IC，則一個輸出端最多可推動幾個輸入端？

• 解：

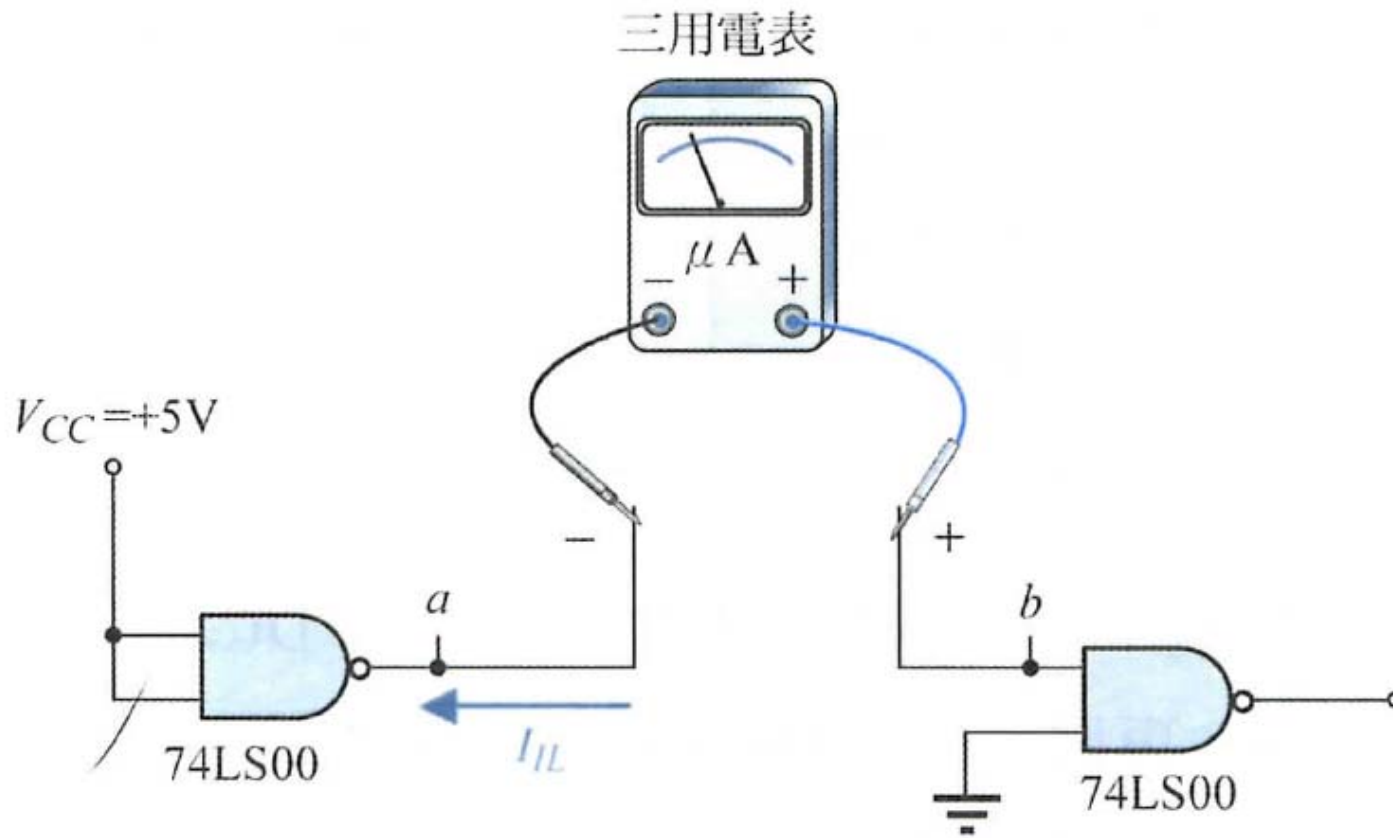
$$\text{—Fanout}_H = | -0.4\text{mA} / 40\text{uA} | = 10$$

$$\text{—Fanout}_L = | 8\text{mA} / -1.6\text{mA} | = 5$$

→ 因此一個輸出端共最多可推動 5 個輸入端。(Fanout = 5)



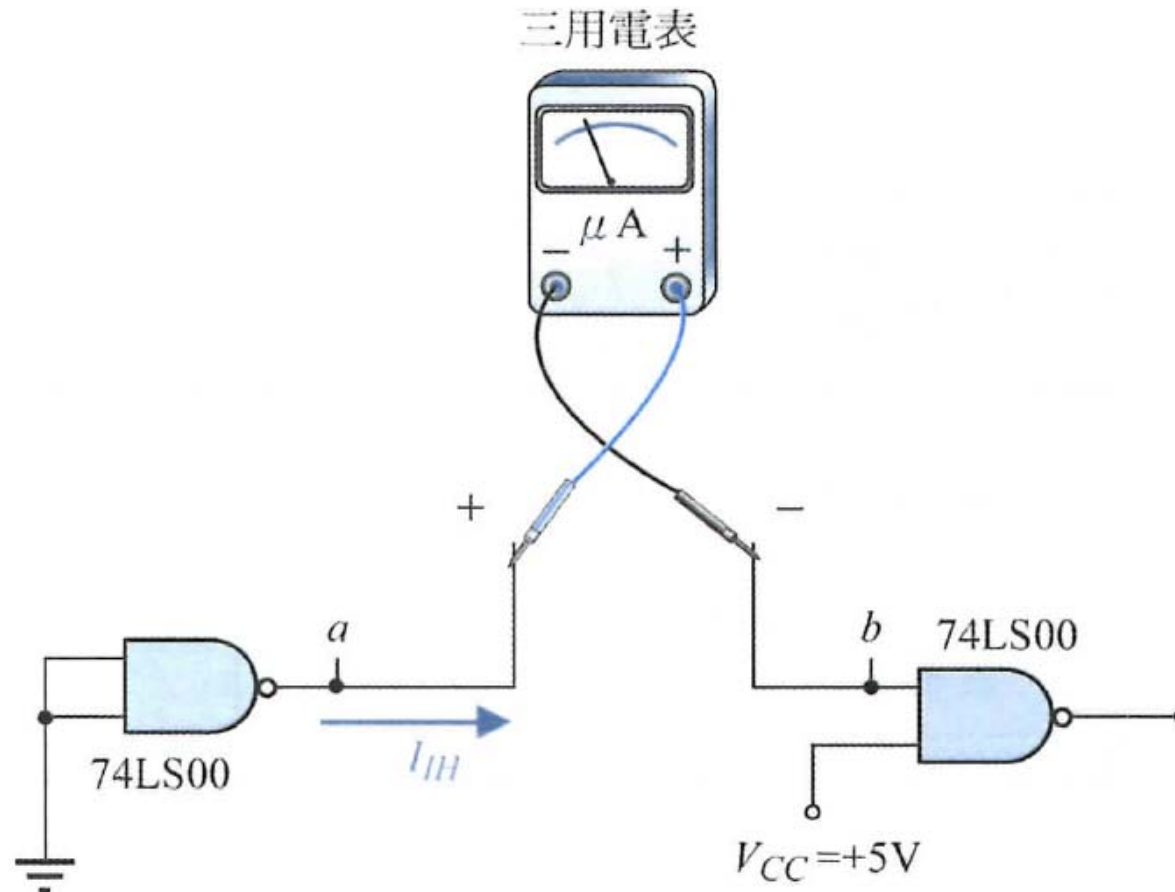
An Example of Logic Low Measurement



必須調至 μA 檔位，否則電流太小可能量不到



An Example of Logic High Measurement



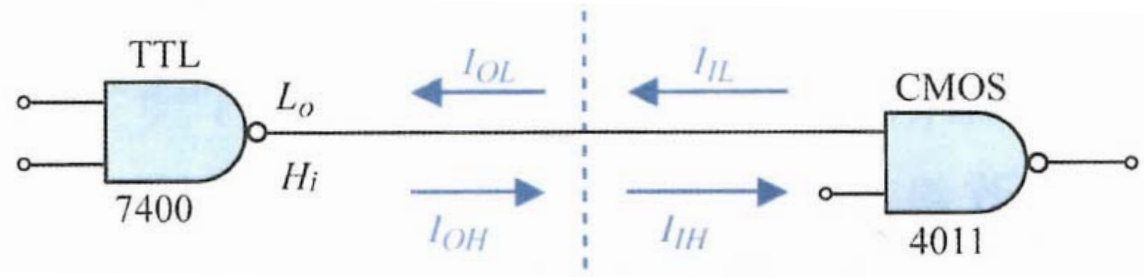
必須調至 μA 檔位，否則電流太小可能量不到



TTL 與 CMOS 界面

• 當 TTL 與 CMOS IC 相互連接時應考慮的電氣特性：

- 工作電壓是否相同
- Logic Hi 與 logic Low 電壓準位是否相同
- 輸入及輸出電流
- 阻抗問題



• 界面電路設計重點：

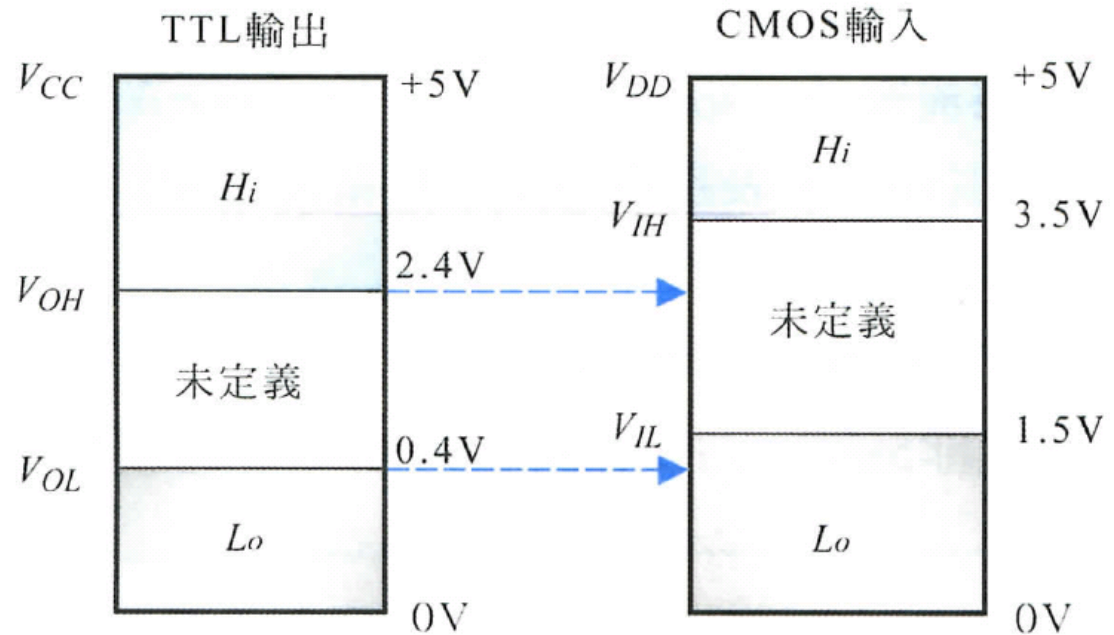
- 電壓準位: $V_{OL} < V_{IL}$, $V_{OH} > V_{IH}$
- 電流準位: $I_{OL} > -N * I_{IL}$, $-I_{OH} > N * I_{IH}$
(N 表 fanout, 電流流出為負)



TTL 驅動 CMOS 的界面

- CMOS 的輸入阻抗較高，且消耗電流較 TTL 小，故以 TTL 推動 CMOS 時，在電流方面不會發生不足的問題。

- Logic Low 沒問題。
- Logic High 需要 pull-high 的界面電路。



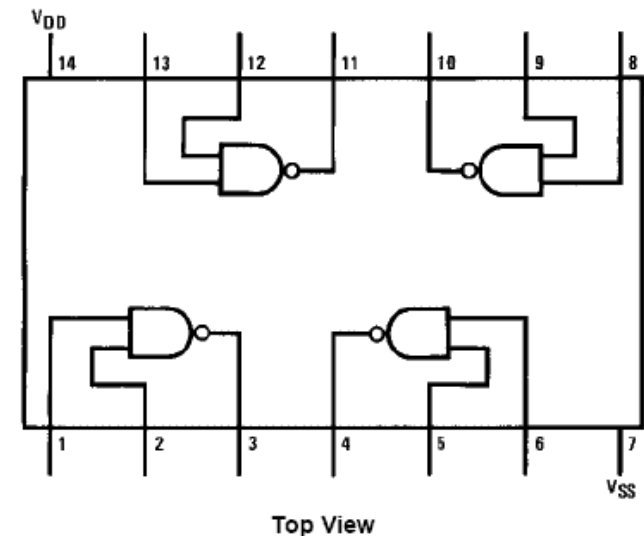
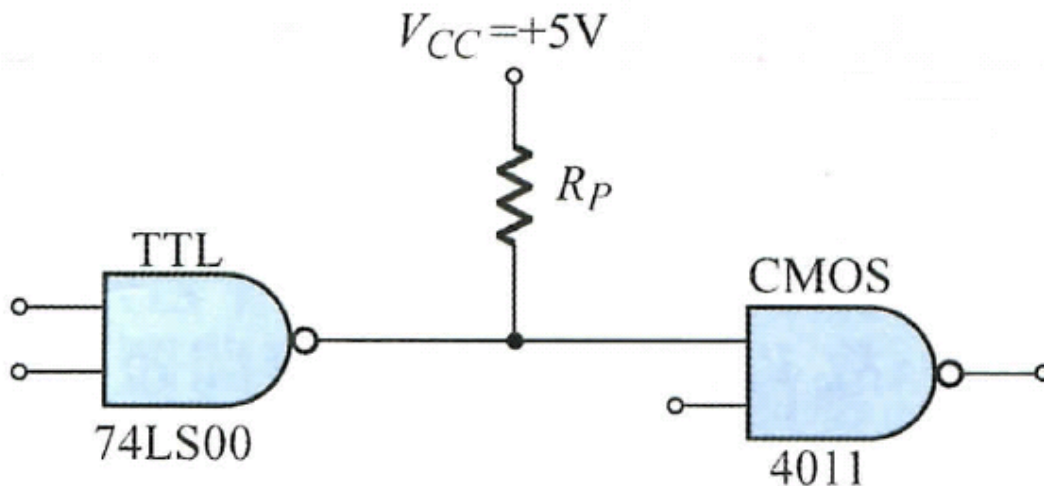


TTL 驅動 CMOS 的界面 (Cont.)

• 解決 V_{OH} 太低的問題:

— 當 V_{CC} 與 V_{DD} 均為 +5V 時:

- 在 TTL 輸出端與 V_{CC} 加並接(並聯)接上一個提升(pull-up)電阻 R_P ，使 V_{CC} 至輸出端間的阻抗降低，則電壓降就會減少。
- 通常 R_P 大約在 2.2k 歐姆左右。



CMOS 4011

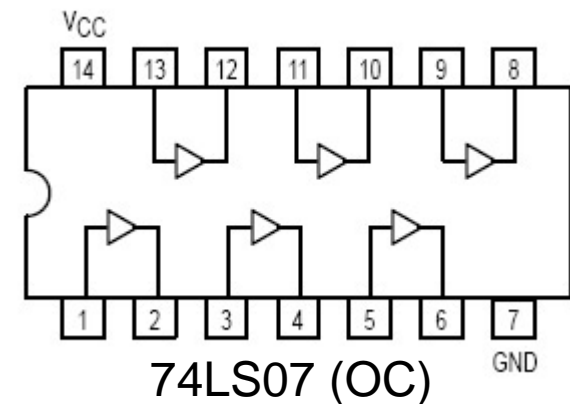
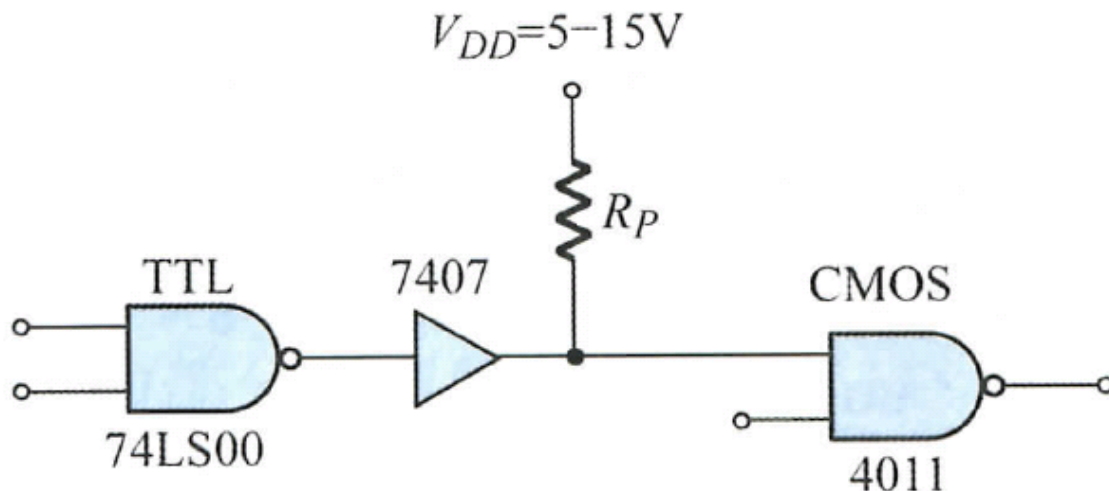


TTL 驅動 CMOS 的界面 (Cont.)

• 解決 V_{OH} 太低的問題:

— 當 $V_{CC} +5V$ 、 V_{DD} 為 $+5\sim+15V$ 時:

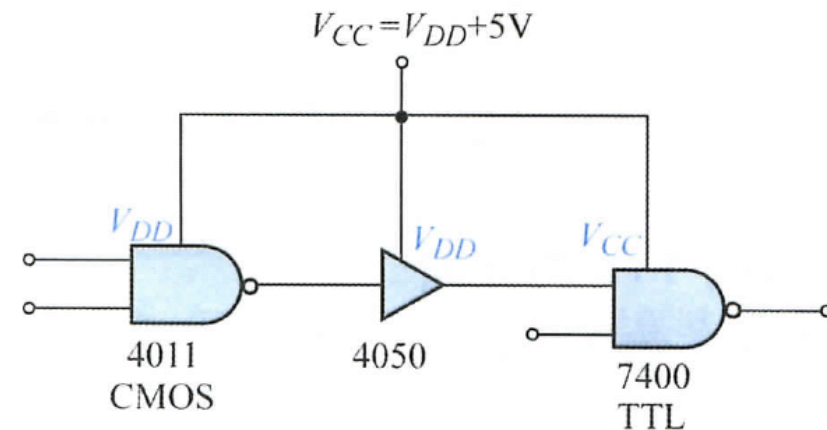
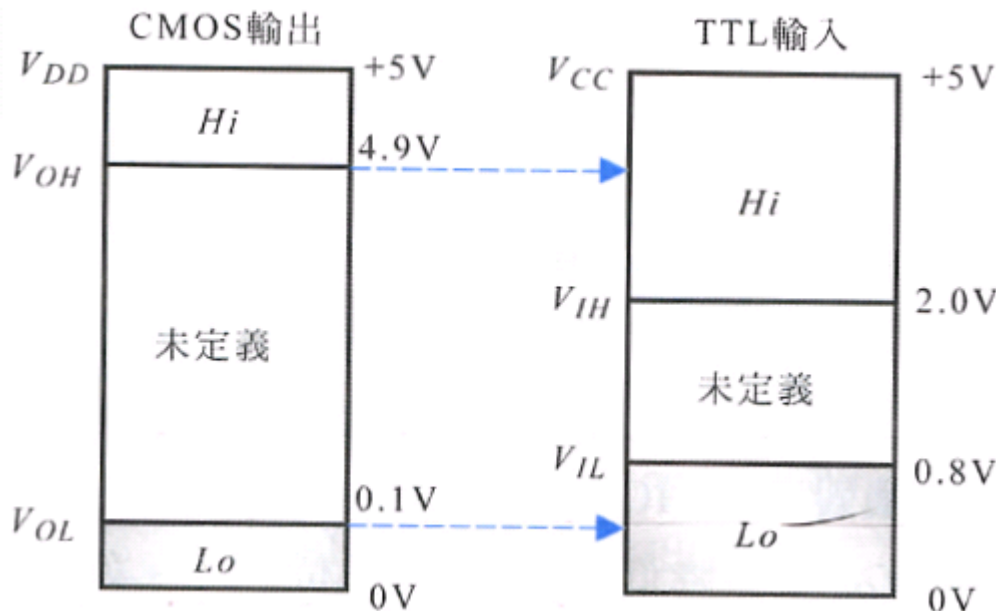
- 此時 V_{IH} 更高，必須界面電路，如74LS07(OC)的 buffer 將 TTL 的 V_{OH} 提升更多。





CMOS 驅動 TTL 的界面

- 當 V_{CC} 與 V_{DD} 均為 +5V 時，電壓準位無問題。
 - 但 CMOS 輸出的電流較小，一般 I_{OL} 均小於 TTL 的 I_{IL} 。因此需要面電路將 CMOS 的輸出電流提高。
 - 可在 CMOS 與 TTL 間加一個低電流輸入的 74LS07 buffer 或是大電流輸出的 CMOS 4050 buffer。





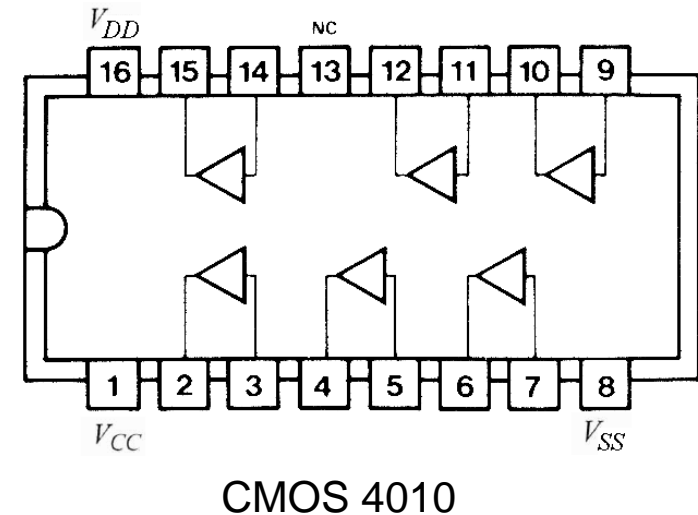
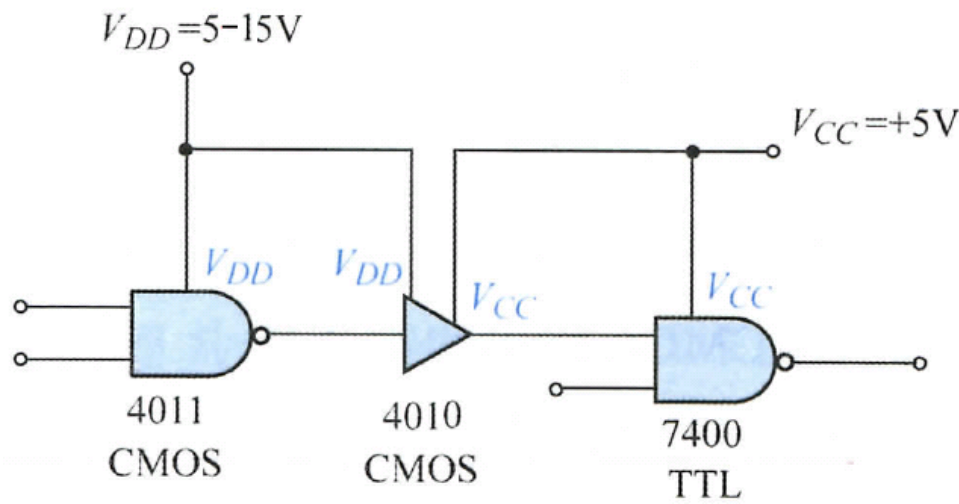
CMOS 驅動 TTL 的界面 (Cont.)

• 當 $V_{CC} = +5V$ 、 V_{DD} 為 $+5\sim+15V$ 時:

— V_{DD} 電壓增加時，CMOS 輸出電流 I_{OH} 及 I_{OL} 亦增加，其 fanout 能力加大，輸出電流驅動問題較小。

— 但 CMOS 的輸出電壓 V_{OH} 比 TTL 的 V_{CC} 還要高出許多，會損毀 TTL IC。

- 因此需要介面電路將 CMOS 輸出的 V_{OH} 電壓降低至 TTL 的準位之內。

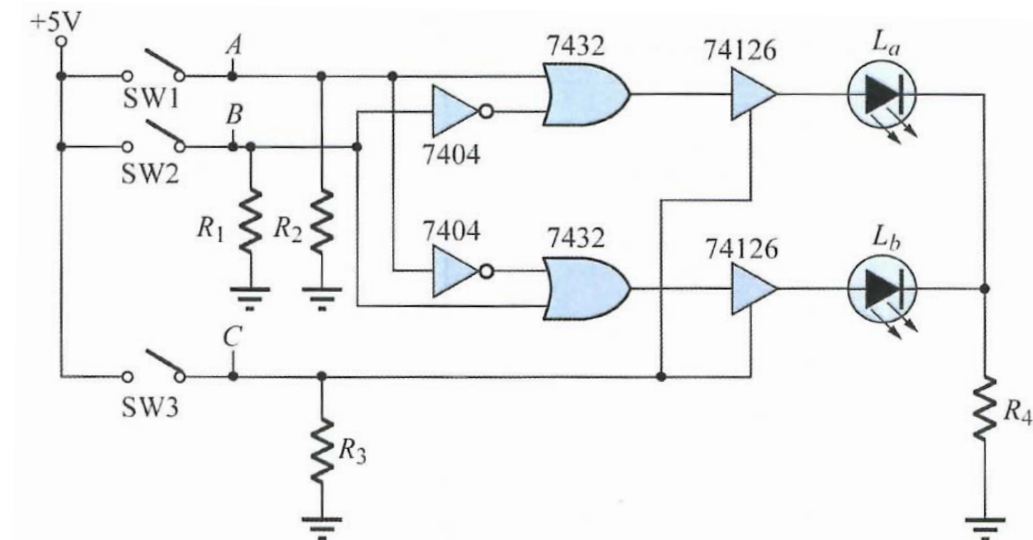
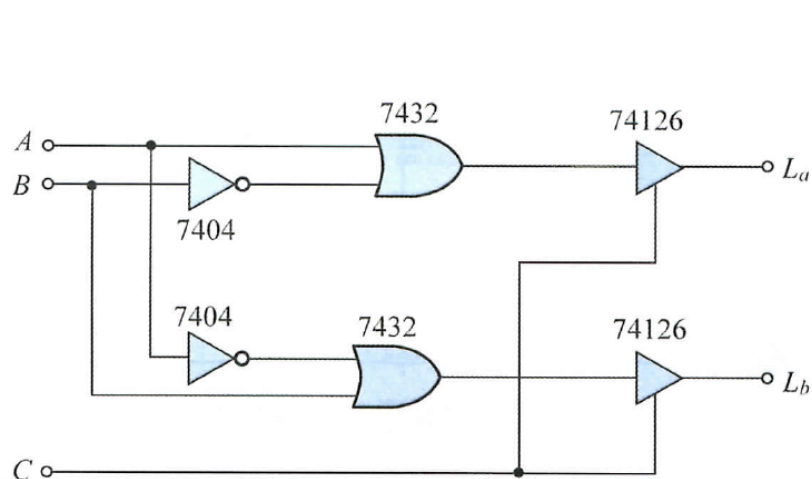




Lab 3 (Part 1)

Part 1 Stristate buffer:

- 實作下列電路，並回答 Report 3 (Part 1) 中的問題。
- 使用 74125 取代 74126，回答 Report 3 (Part 1) 中的問題。



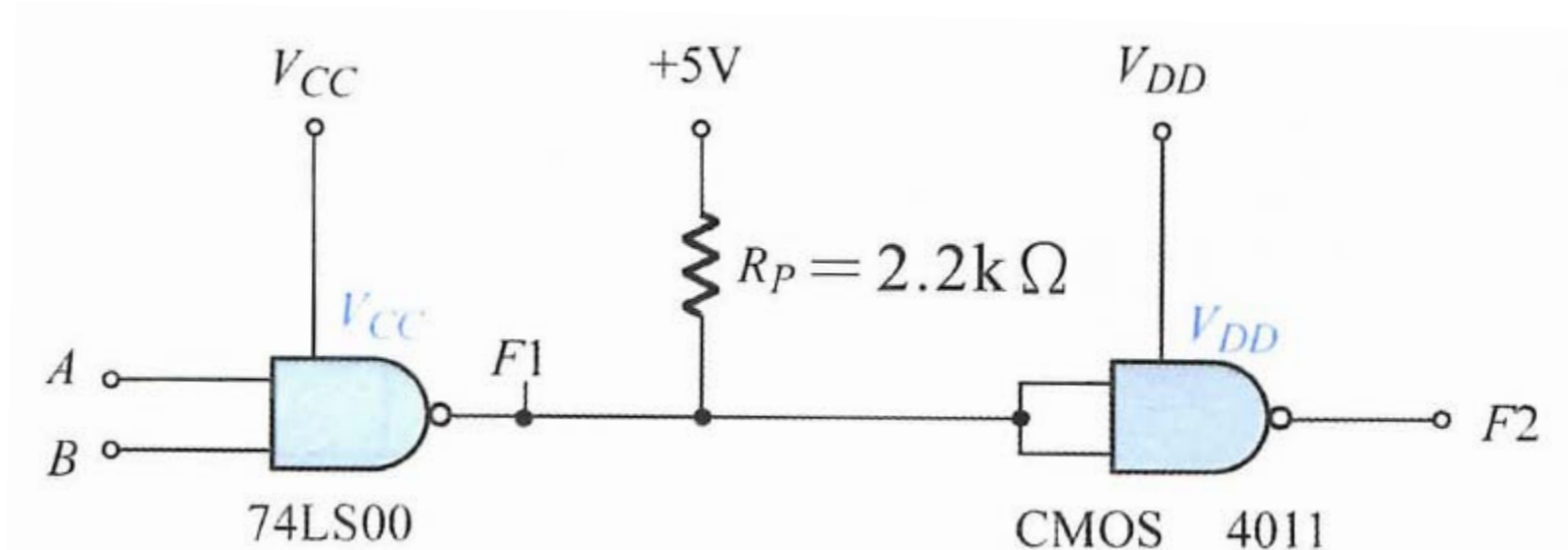


Lab 3 (Part 2)

Part 2 TTL → CMOS:

—實作下列電路，並回答 Report 3 (Part 2) 的問題。

- 令 R_P 不變，增加 V_{DD} 工作電壓。
- 令 $V_{DD}=+5V$ 不變，改變 R_P 電阻值。

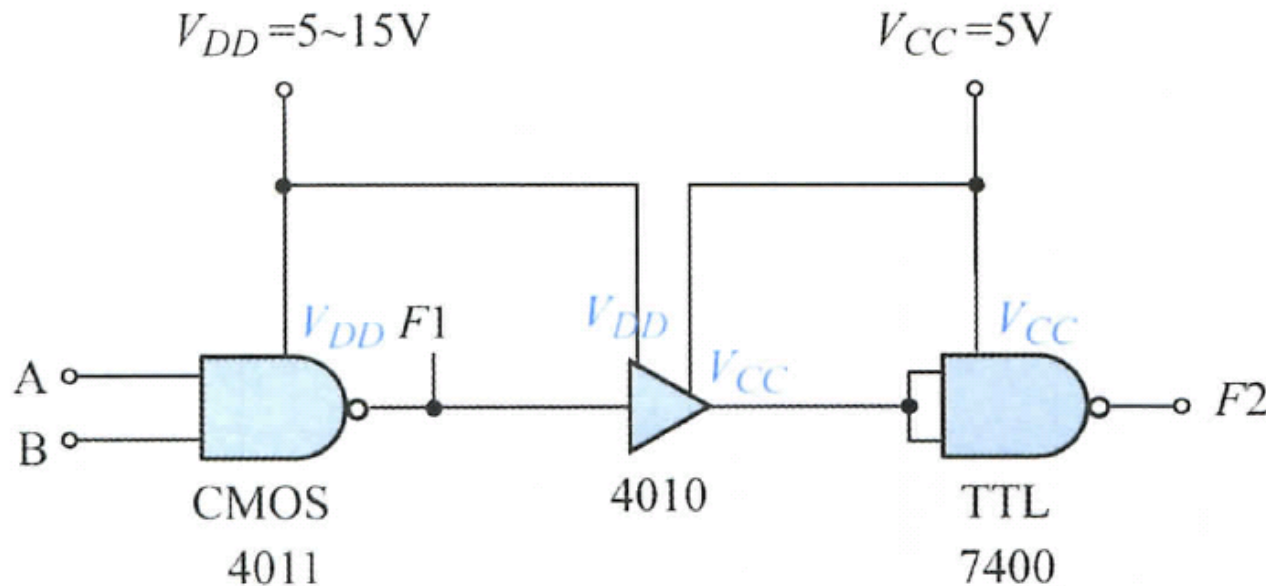




Lab 3 (Part 3)

Part 3 CMOS \rightarrow TTL:

- 實作下列電路，並回答 Report 3 (Part 3) 的問題。
 - 令 $V_{CC}=+5V$ 不變，改變 V_{DD} 電壓值。



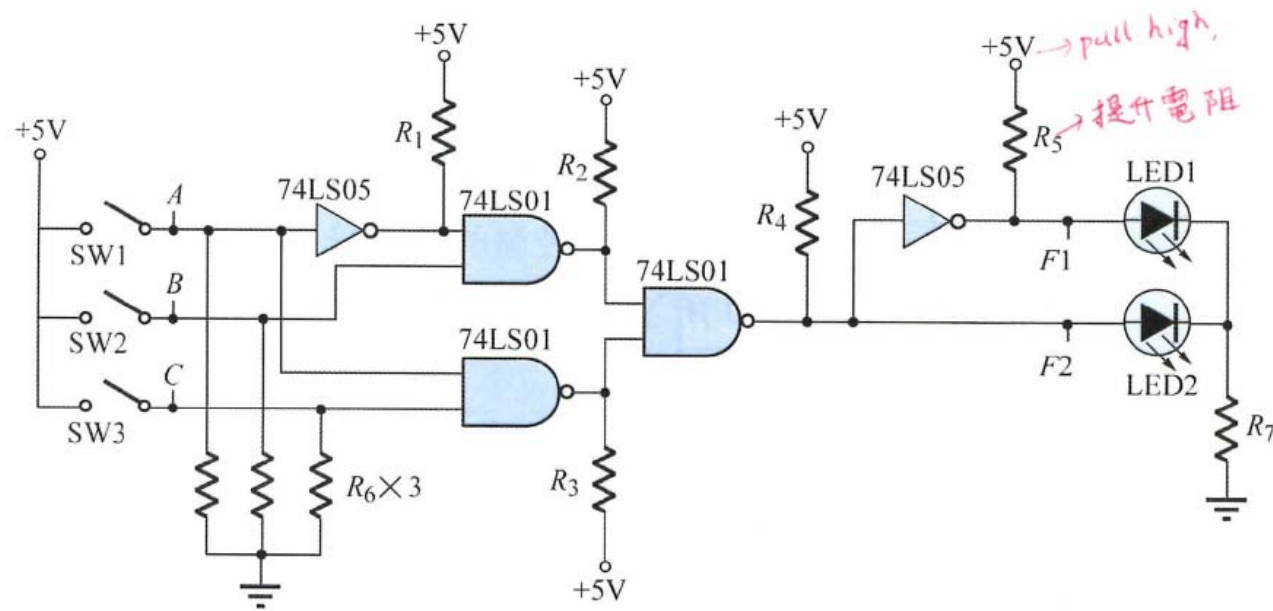
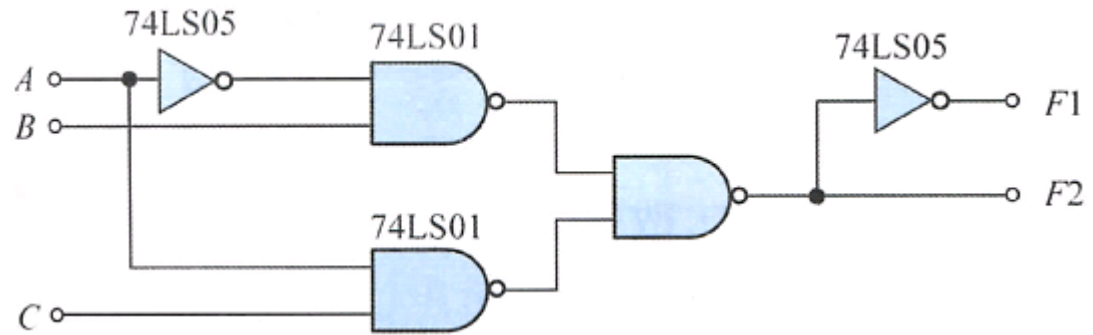


Lab 3 (Part 4)

Part 4 OC 電路:

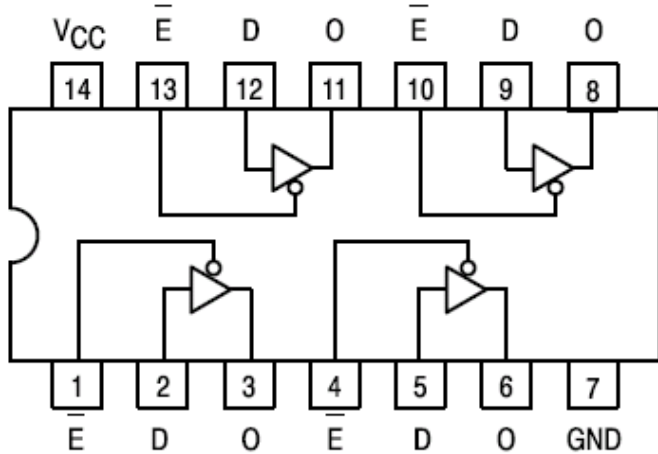
—實作下列電路，
並回答 Report 3
(Part 4) 的問
題。

—注意: 74LS05與
74LS01 皆為
OC IC，其輸出
端必須加一個
pull-up 電阻連接
至 V_{CC} 。

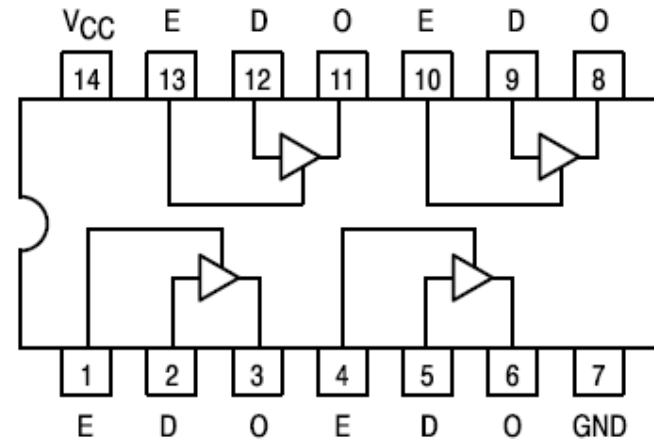




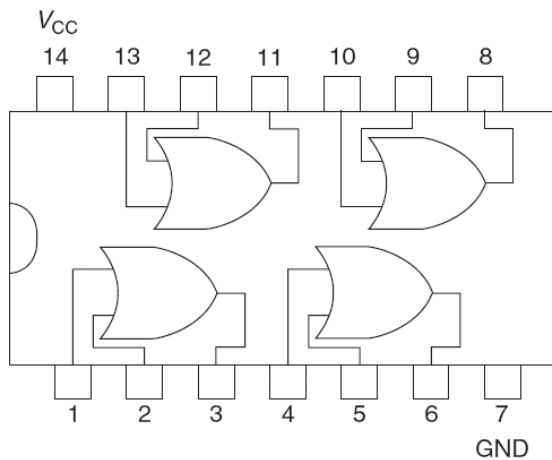
Chip Logic Circuit



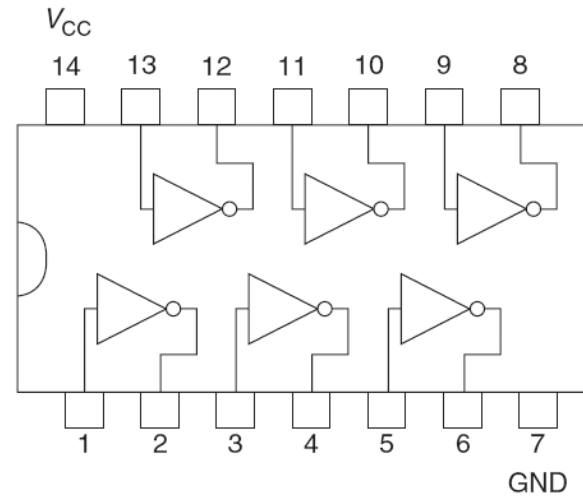
74LS125



74LS126



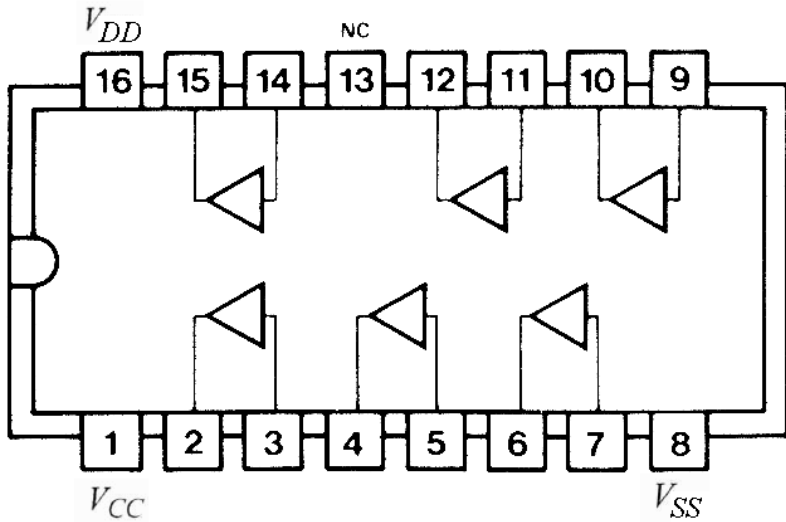
74LS32



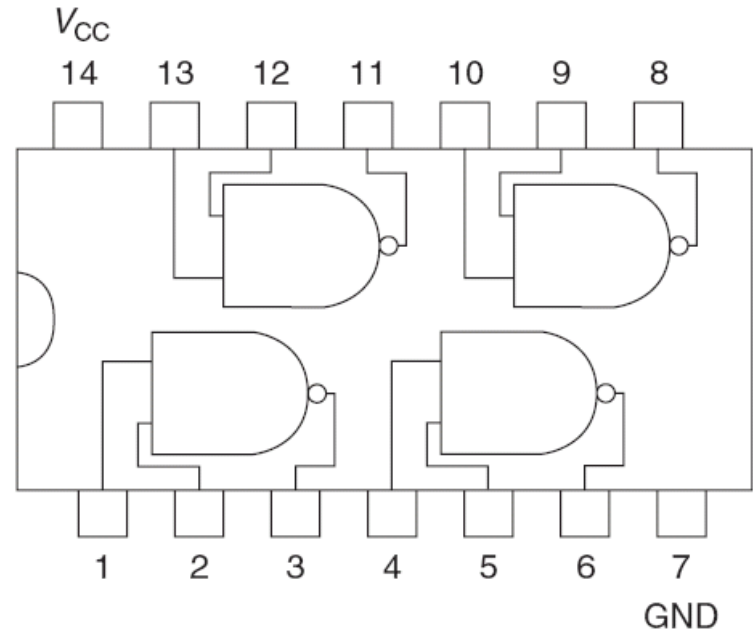
74LS04



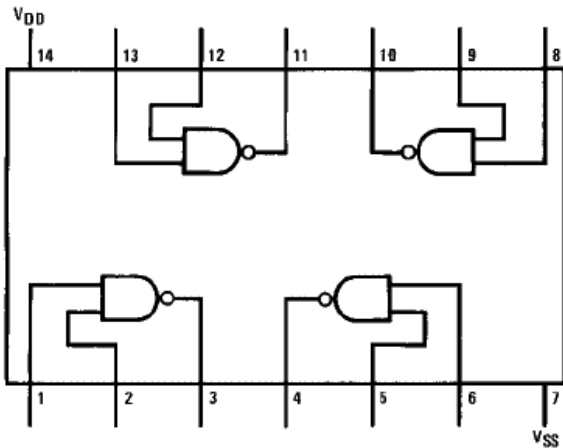
Chip Logic Circuit (Cont.)



CMOS 4010



74LS00

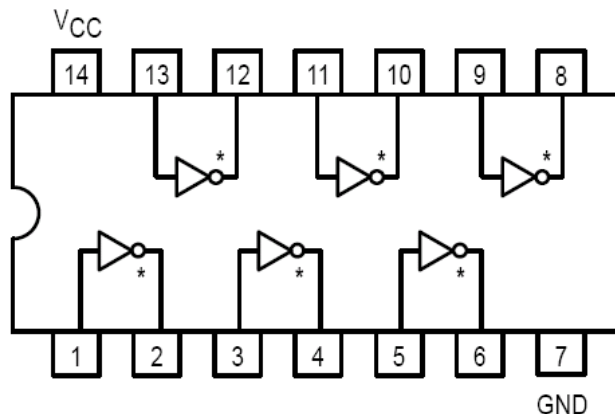


CMOS 4011

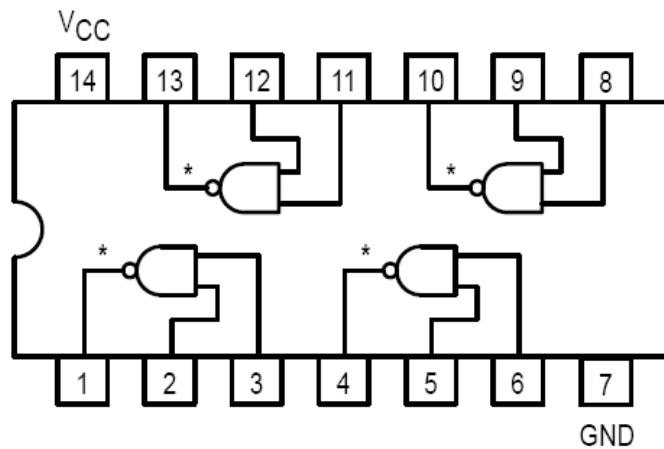
Top View



Chip Logic Circuit (Cont.)



74LS05 (OC)



74LS01 (OC)



Report 3 (Part 1)

• 班級：
 姓名：
 學號：

• Part 1 Stristate buffer:

— 請問在您的實驗中，電路正常運作時，所使用的R1, R2, R3, R4 各是多少歐姆？

— 實驗完成右表，並說明 C 懸空時所量出結果的原因。(填入 On/Off)

Input			Output (LED On/Off)			
C	A	B	74LS125		74LS126	
			L _a	L _b	L _a	L _b
0	0	0				
	0	1				
	1	0				
	1	1				
1	0	0				
	0	1				
	1	0				
	1	1				
Float	0	0				
	0	1				
	1	0				
	1	1				



Report 3 (Part 2)

• Part 2 TTL → CMOS: 完成下列表格，並寫下心得。(填入 F_1 及 F_2 的電壓)

Input		輸出	$V_{DD}=+5V$, Chang R_P				
A	B		200	1k	1.5k	2.2k	10K
0	0	F_1					
		F_2					
0	1	F_1					
		F_2					
1	0	F_1					
		F_2					
1	1	F_1					
		F_2					

Input		輸出	$R_p=2.2K$, Change V_{DD}						
A	B		5V	5.5V	6.0V	7V	9V	12V	15V
0	0	F_1							
		F_2							
0	1	F_1							
		F_2							
1	0	F_1							
		F_2							
1	1	F_1							
		F_2							



Report 3 (Part 3)

• Part 3 CMOS → TTL: 完成右列表格，並寫下心得。(填入 F_1 及 F_2 的電壓)

Input		Out P u t	$V_{CC}=+5V$ · Chang V_{DD}						
A	B		5V	5.5V	6.0V	7V	9V	12V	15V
0	0	F_1							
		F_2							
0	1	F_1							
		F_2							
1	0	F_1							
		F_2							
1	1	F_1							
		F_2							



Report 3 (Part 4)

Part 4 OC 電路:

- 完成下列表格，並寫下心得。
- 拿下pull-up電路後再做一次。

輸入(有pull-up)			輸出			
A	B	C	F1		F2	
			邏輯值	電壓值	邏輯值	電壓值
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

輸入(無pull-up)			輸出			
A	B	C	F1		F2	
			邏輯值	電壓值	邏輯值	電壓值
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				